

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年 9月12日

出 願 番 号

Application Number: 特願2002-266956

[ST.10/C]:

[JP2002-266956]

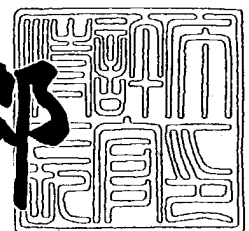
出 願 人

Applicant(s): 三菱電機株式会社

2002年10月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3079781

【書類名】 特許願

【整理番号】 540555JP01

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項 1】 複数の正規メモリセルと、

前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いる複数のスペアメモリセルと、

前記複数の正規メモリセルからデータを読み出すための複数のビット線と、

前記複数の正規メモリセルと前記複数のスペアメモリセルからデータを読み出す読出増幅回路と、

前記複数のビット線を前記読出増幅回路に接続するための複数のデータ線と、

前記複数のデータ線の負荷容量が実質的に等しくなるように前記複数のデータ線を前記複数の正規メモリセルおよび前記複数のスペアメモリセルに接続する経路の一部を形成する接続回路とを備え、

前記接続回路は、第 1 の入力アドレスに応じて選択される前記複数のビット線のうちの第 1 の選択ビット線を前記複数のデータ線のうちの第 1 のデータ線に接続するとともに、前記第 1 の入力アドレスに応じて選択される前記複数のスペアメモリセルの一部を前記複数のデータ線のうちの前記第 1 のデータ線とは異なる第 2 のデータ線に接続する経路の一部を形成し、第 2 の入力アドレスに応じて選択される前記複数のビット線のうちの第 2 の選択ビット線を前記第 2 のデータ線に接続するとともに、前記第 2 の入力アドレスに応じて選択される前記複数のスペアメモリセルの一部を前記第 1 のデータ線に接続する経路の一部を形成する、記憶装置。

【請求項 2】 前記複数のスペアメモリセルからデータを読み出すための第 1、第 2 のスペアビット線をさらに備え、

前記接続回路は、

前記第 1 の入力アドレスに応じて前記第 1 の選択ビット線を前記第 1 のデータ線に接続する第 1 のコラム選択ゲートと、

前記第 1 の入力アドレスに応じて前記第 2 のスペアビット線を前記第 2 のデータ線に接続する第 2 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 2 の選択ビット線を前記第 2 のデータ線に接続する第 3 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 1 のスペアビット線を前記第 1 のデータ線に接続する第 4 のコラム選択ゲートとを含む、請求項 1 に記載の記憶装置。

【請求項 3】 前記複数のスペアメモリセルからデータを読み出すためのスペアビット線をさらに備え、

前記接続回路は、

前記第 1 の入力アドレスに応じて前記第 1 の選択ビット線を前記第 1 のデータ線に接続する第 1 のコラム選択ゲートと、

前記第 1 の入力アドレスに応じて前記スペアビット線を前記第 2 のデータ線に接続する第 2 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 2 の選択ビット線を前記第 2 のデータ線に接続する第 3 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記スペアビット線を前記第 1 のデータ線に接続する第 4 のコラム選択ゲートとを含む、請求項 1 に記載の記憶装置。

【請求項 4】 アドレス信号に応じて前記第 1、第 2 の選択ビット線にそれぞれ接続する前記複数の正規メモリセルのうちから第 1、第 2 のアクセスメモリセルを選択するとともに、前記複数のスペアメモリセルのうちから前記第 1、第 2 のアクセスメモリセルに対応する部分の選択を行なうデコード回路をさらに備える、請求項 1 に記載の記憶装置。

【請求項 5】 前記複数の正規メモリセルおよび前記スペアメモリセルの各々は、書込データに応じて電気抵抗値が変化し、

前記読出増幅回路は、前記電気抵抗値の変化を検出する、請求項 1 に記載の記憶装置。

【請求項 6】 前記複数の正規メモリセルおよび前記スペアメモリセルの各々は、

磁性体の記憶素子を含む、請求項 1 に記載の記憶装置。

【請求項 7】 電気抵抗値の変化により情報を記憶する複数のメモリセルと

前記複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、

前記読出増幅回路から電源電位の供給源までの間に前記複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、

前記複数の読出電流経路は、互いに物理長が実質的に等しい、記憶装置。

【請求項 8】 前記複数のメモリセルの一部は、前記複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルであり、

前記複数の選択メモリセルの一部は、前記スペアメモリセルである、請求項 7 に記載の記憶装置。

【請求項 9】 前記複数のメモリセルの各々は、磁性体の記憶素子を含む、請求項 7 に記載の記憶装置。

【請求項 10】 前記複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、

前記ダミーセルにそれぞれ対応するダミービット線とをさらに備え、

前記電流経路形成部は、前記読出増幅回路から前記電源電位の前記供給源までの間に前記ダミーセルに対応する参照電流経路を形成し、

前記複数の読出電流経路と前記参照電流経路とは、互いに物理長が実質的に等しい、請求項 7 に記載の記憶装置。

【請求項 11】 メモリセルアレイを備え、

前記メモリセルアレイは、

電気抵抗値の変化により情報を記憶する複数の正規メモリセルと、

前記複数の正規メモリセルとともに行列状に配置され、前記メモリセルアレイにおいて中央部に配置され、前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルと、

前記メモリセルアレイの列方向に沿って配置され、前記複数の正規メモリセルにデータ読出電流を流すための複数のビット線と、

前記列方向に沿って配置され、前記スペアメモリセルにデータ読出電流を流すためのスペアビット線と、

前記複数のビット線の一部に流れるデータ読出電流および前記スペアビット線に流れるデータ読出電流とを伝達する複数のデータ線と、

データ読出コマンドに応じて選択される前記複数のビット線のうちの選択ビット線を前記複数のデータ線のうちの1つに接続するとともに、前記スペアビット線を前記複数のデータ線のうちの他の1つに接続する接続ゲート回路とを含み、

前記複数のデータ線によって伝達されるデータ読出電流を受けて、前記複数の正規メモリセルと前記スペアメモリセルのデータを読出す読出増幅回路をさらに備える、記憶装置。

【請求項 1 2】 メモリセルアレイを備え、

前記メモリセルアレイは、

電気抵抗値の変化により情報を記憶する複数のメモリセルと、

前記複数のメモリセルからデータを読出すための読出電流が流れる経路上に設けられる複数のソース線と、

前記複数のメモリセルとともに行列状に配置され、前記メモリセルアレイの中央部に配置され、前記複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、

前記ダミーセルから前記参照値を読出すための参照電流が流れる経路上に設けられるダミーソース線と、

前記読出電流と前記参照電流とを伝達する複数のデータ線とを含み、

前記複数のデータ線によって伝達される読出電流および参照電流を受けて、前記複数のメモリセルのデータを読出す読出増幅回路をさらに備える、記憶装置。

【請求項 1 3】 各々が電気抵抗値の変化により情報を記憶し、1つのメモリセルアレイ内に配置される複数のメモリセルと、

前記複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、

前記読出増幅回路から電源電位の供給源までの間に前記複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、

前記複数の読出電流経路は、少なくとも前記メモリセルアレイ内においては互いに分離されている、記憶装置。

【請求項 14】 前記複数のメモリセルの一部は、前記複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルであり、

前記複数の選択メモリセルは、

前記正規メモリセルと、

前記スペアメモリセルとを含む、請求項 13 に記載の記憶装置。

【請求項 15】 前記電流経路形成部は、

前記複数の選択メモリセルにデータ読出のための基準電位をそれぞれ与える複数のソース線を含み、

前記複数のソース線は、少なくとも前記メモリセルアレイ内においては分離されている、請求項 13 に記載の記憶装置。

【請求項 16】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、ともに第 1 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、前記第 1 のメモリセルが配置される第 1 の領域では、前記第 1 のソース線が前記第 1 の行に沿って配置され前記第 2 のソース線が前記第 1 の行に隣接する第 2 の行に沿って配置され、前記第 2 のメモリセルが配置される第 2 の領域では、前記第 2 のソース線が前記第 1 の行に沿って配置され前記第 1 のソース線が前記第 2 の行に沿って配置されるように入替え配置される、請求項 15 に記載の記憶装置。

【請求項 17】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、それぞれ第 1、第 2 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、それぞれ前記第 1、第 2 の行に沿って配置され、

前記第 1、第 2 の選択メモリセルをともに選択するための第 1 の選択線と、

前記第 1 の選択線に隣接して設けられる第 2 の選択線とをさらに備え、

前記第 1 の選択線は、前記第 1 のメモリセルが配置される第 1 の領域では前記

第 1 の行に沿って配置され、前記第 2 のメモリセルが配置される第 2 の領域では前記第 2 の行に沿って配置されるように途中で前記第 2 の選択線と入替え配置される、請求項 1 5 に記載の記憶装置。

【請求項 1 8】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、ともに第 1 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、前記第 1 の行に対してともに斜めに配置され、互いに平行に配置される、請求項 1 5 に記載の記憶装置。

【請求項 1 9】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、それぞれ第 1、第 2 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、それぞれ前記第 1、第 2 の行に沿って配置され、

前記第 1、第 2 の選択メモリセルをともに選択するための第 1 の選択線をさらに備え、

前記第 1 の選択線は、前記第 1、第 2 の行に対して斜めに配置される、請求項 1 5 に記載の記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、記憶装置に関し、より特定的には磁性体ランダムアクセスメモリ(MRAM)の高速動作可能な冗長構成に関する。

【0 0 0 2】

【従来の技術】

不揮発的なデータの記憶が高速で可能な記憶装置として、MRAM (Magnetic Random Access Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】

特に、近年では磁気トンネル接合(MTJ: Magnetic Tunnel Junction)を利用した薄膜磁性体をメモリセルとして用いることによって、MRAMデバイスの性能が飛躍的に進歩することが発表されている。

【0004】

磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、下記の非特許文献1～非特許文献3等が開示されている。

【0005】

図28は、従来の磁気トンネル接合部を有するメモリセル(以下、単に「MTJメモリセル」とも称する)の構成を示す概略図である。

【0006】

図28を参照して、MTJメモリセルは、記憶データレベルに応じて電気抵抗が変化するトンネル磁気抵抗素子TMRと、データ読出時にトンネル磁気抵抗素子TMRを通過するセンス電流 I_s の経路を形成するためのアクセス素子ATRとを備える。アクセス素子ATRは、代表的には電界効果型トランジスタで形成されるので、以下においては、アクセス素子ATRをアクセストランジスタATRとも称する。アクセストランジスタATRは、トンネル磁気抵抗素子TMRと固定電位(接地電位 V_{ss})との間に結合される。

【0007】

MTJメモリセルに対して、データ書込を指示するためのライトワード線WWLと、データ読出を実行するためのリードワード線RWLと、データ読出およびデータ書込において、記憶データのデータレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。なお、ライトワード線WWLは、ディジット線DLとも称される。

【0008】

図29は、MTJメモリセルからのデータ読出動作を説明する概念図である。

【0009】

図29を参照して、トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層(以下、単に「固定磁化層」とも称する)FLと、外部か

の印加磁界に応じた方向に磁化される強磁性体層（以下、単に「自由磁化層」とも称する）VLとを有する。固定磁化層FLおよび自由磁化層VLの間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）TBが設けられる。自由磁化層VLは、書込まれる記憶データに応じて、固定磁化層FLと同一方向または固定磁化層FLと反対方向に磁化される。固定磁化層FL、トンネルバリアTBおよび自由磁化層VLによって、磁気トンネル接合が形成される。

【0010】

データ読出時においては、リードワード線RWLの活性化に応じてアクセストランジスタATRが導通状態となる。これにより、ビット線BLからトンネル磁気抵抗素子TMR、アクセストランジスタATRを経て接地ノードに至る電流経路に、センス電流Isを流すことができる。

【0011】

トンネル磁気抵抗素子TMRの電気抵抗は、固定磁化層FLおよび自由磁化層VLのそれぞれの磁化方向の相対関係に応じて変化する。具体的には、固定磁化層FLの磁化方向と、自由磁化層VLの磁化方向とが同じ向きである場合には、両者の磁化方向が反対向きである場合に比べてトンネル磁気抵抗素子TMRの電気抵抗値は小さくなる。

【0012】

したがって、自由磁化層VLを記憶データに応じた方向に磁化すれば、センス電流Isによってトンネル磁気抵抗素子TMRで生じる電圧変化は、記憶データレベルに応じて異なる。したがって、メモリセルデータの読出時に、メモリセルに定電圧を印加して、センス電流Isが保持されているデータに応じて変化するのを電流検出型のセンスアンプで検知すれば、データの読出ができる。また、たとえば、ビット線BLを一定電位にプリチャージした後に、トンネル磁気抵抗素子TMRにセンス電流Isを流せば、ビット線BLの電圧を検知することによって、MTJメモリセルの記憶データを読出すことができる。

【0013】

図30は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0014】

図30を参照して、データ書込時においては、リードワード線RWLが非活性化され、応じてアクセストランジスタATRは非導通状態となる。この状態で、自由磁化層VLを書込データに応じた方向に磁化するためのデータ書込電流が、ライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁化層VLの磁化方向は、ビット線BLを流れるデータ書込電流によって発生する磁界H(BL)に応じて決定される。

【0015】

図31は、MTJメモリセルに対するデータ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【0016】

図31を参照して、横軸H(EA)は、トンネル磁気抵抗素子TMR内の自由磁化層VLにおいて磁化容易軸(EA: Easy Axis)方向に印加される磁界を示す。一方、縦軸H(HA)は、自由磁化層VLにおいて磁化困難軸(HA: Hard Axis)方向に作用する磁界を示す。磁界H(EA)およびH(HA)は、ビット線BLおよびライトワード線WWLをそれぞれ流れる電流によって生じる2つの磁界の一方ずつにそれぞれ対応する。

【0017】

MTJメモリセルにおいては、固定磁化層FLの固定された磁化方向は、自由磁化層VLの磁化容易軸に沿っており、自由磁化層VLは、記憶データのレベル(“1”および“0”)に応じて、磁化容易軸方向に沿って、固定磁化層FLと同じ向きあるいは逆向きに磁化される。以下、本明細書においては、自由磁化層VLの2種類の磁化方向にそれぞれ対応するトンネル磁気抵抗素子TMRの電気抵抗をR1およびR0(ただし、 $R1 > R0$)でそれぞれ示すこととする。MTJメモリセルは、このような自由磁化層VLの2種類の磁化方向と対応させて、1ビットのデータ(“1”および“0”)を記憶することができる。

【0018】

自由磁化層VLの磁化方向は、印加される磁界H(EA)およびH(HA)の和が、図中に示されるアステロイド特性線の外側の領域に達する場合においての

み新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層VLの磁化方向は変化しない。

【0019】

アステロイド特性線に示されるように、自由磁化層VLに対して磁化困難軸方向の磁界を印加することによって、磁化方向を変化させるのに必要な磁化容易軸に沿った磁界のしきい値を下げるができる。

【0020】

図31の例のようにデータ書込時の動作点を設計した場合には、データ書込対象であるMTJメモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線BLまたはライトワード線WWLを流されるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分 ΔH との和で示される。すなわち、 $H_{WR} = H_{SW} + \Delta H$ で示される。

【0021】

MTJメモリセルの記憶データ、すなわちトンネル磁気抵抗素子TMRの磁化方向を書換えるためには、ライトワード線WWLとビット線BLとの両方に所定レベル以上のデータ書込電流を流す必要がある。これにより、トンネル磁気抵抗素子TMR中の自由磁化層VLは、磁化容易軸(EA)に沿ったデータ書込磁界の向きに応じて、固定磁化層FLの磁化の向きと同じ向きもしくは逆向きに磁化される。トンネル磁気抵抗素子TMRに一旦書込まれた磁化方向、すなわちMTJメモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0022】

このようにトンネル磁気抵抗素子TMRは、印加されるデータ書込磁界によって書換可能な磁化方向に応じてその電気抵抗が変化する。トンネル磁気抵抗素子TMR中の自由磁化層VLの2通りの磁化方向と、記憶データのレベル(“1”および“0”)とそれぞれ対応付けることによって、不揮発的なデータ記憶を実

行することができる。

【0023】

【非特許文献1】

ロイ・ショイアーライン (Roy Scheuerline)他6名、“各セルにFETスイッチおよび磁気トンネル接合を用いた、10ns読出・書込の不揮発メモリアレイ (A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.2 (2000 IEEE ISSCC Digest of Technical Papers, TA7.2), p. 128-129。

【非特許文献2】

ダーラム (M. Durlam)他5名、“磁気トンネル接合素子に基づいた不揮発ランダムアクセスメモリ (Nonvolatile RAM based on Magnetic Tunnel Junction Elements)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.3 (2000 IEEE ISSCC Digest of Technical Papers, TA7.3), p. 130-131。

【非特許文献3】

ナジ (Peter K. Naji)他4名、“256kb、3.0ボルトおよび1トランジスタ1磁気トンネル接合型の不揮発性磁気抵抗性ランダムアクセスメモリ (A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM) ” (米国), 2001年米国電気電子学会国際固体回路会議・技術論文集TA7.6 (2001 IEEE ISSCC Digest of Technical Papers, TA7.6), p. 122-123。

【0024】

【発明が解決しようとする課題】

MRAMは、フラッシュメモリ等の不揮発性メモリと比べると高速アクセスが可能である。しかし、高速アクセスが可能であるがゆえに冗長構成を備える場合にその高速性を損なう問題がある。すなわち、アドレス比較回路において入力アドレスが冗長セルで置換えるべきアドレスか否かを判定する冗長判定のために必要な時間がアクセスタイムを劣化させるのである。

【0025】

この解決策としては、たとえばデータ読出時において正規メモリセルとスペアメモリセルとを同時並列アクセスを行なうことが考えられる。しかし、MRAMでは、メモリセルの抵抗値が数十k Ω と高いので、読出電流の値が小さい。たとえばMRAMでは、メモリセルデータの読出時に、メモリセルに0.5V程度の低い電圧を印加して、20 μ A程度の読出電流が保持されているデータに応じて数 μ A変化するのを電流検出型のセンスアンプで検知する。

【0026】

このとき次の2つの点が問題となる。まず第1に、選択されたメモリセルの読出電流が流れる電流パス上の抵抗値、特に、メモリセルのソース線の電気抵抗が大きいと、アクセス性能が劣化する。第2に、並列アクセス時には、同時に複数のメモリセルが読出動作を行なうので、ソース線の電気抵抗の問題が一層顕著になる。

【0027】

この発明は、このような問題点を解決するためになされたものである。そして、この発明の目的は、冗長構成を備えた上で、高速かつ安定的に動作可能な記憶装置を提供することである。

【0028】

【課題を解決するための手段】

請求項1に記載の記憶装置は、複数の正規メモリセルと、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いる複数のスペアメモリセルと、複数の正規メモリセルからデータを読出すための複数のビット線と、複数の正規メモリセルと複数のスペアメモリセルからデータを読出す読出増幅回路と、複数のビット線を読出増幅回路に接続するための複数のデータ線と、複数のデータ線の負荷容量が実質的に等しくなるように複数のデータ線を複数の正規メモリセルおよび複数のスペアメモリセルに接続する経路の一部を形成する接続回路とを備え、接続回路は、第1の入力アドレスに応じて選択される複数のビット線のうちの第1の選択ビット線を複数のデータ線のうちの第1のデータ線に接続するとともに、第1の入力アドレスに応じて選択される複数のスペアメモリセルの一部を複数のデータ線のうちの第1のデータ線とは異なる第2

のデータ線に接続する経路の一部を形成し、第2の入力アドレスに応じて選択される複数のビット線のうちの第2の選択ビット線を第2のデータ線に接続するとともに、第2の入力アドレスに応じて選択される複数のスペアメモリセルの一部を第1のデータ線に接続する経路の一部を形成する。

【 0 0 2 9 】

請求項2に記載の記憶装置は、請求項1に記載の記憶装置の構成に加えて、複数のスペアメモリセルからデータを読み出すための第1、第2のスペアビット線をさらに備え、接続回路は、第1の入力アドレスに応じて第1の選択ビット線を第1のデータ線に接続する第1のコラム選択ゲートと、第1の入力アドレスに応じて第2のスペアビット線を第2のデータ線に接続する第2のコラム選択ゲートと、第2の入力アドレスに応じて第2の選択ビット線を第2のデータ線に接続する第3のコラム選択ゲートと、第2の入力アドレスに応じて第1のスペアビット線を第1のデータ線に接続する第4のコラム選択ゲートとを含む。

【 0 0 3 0 】

請求項3に記載の記憶装置は、請求項1に記載の記憶装置の構成に加えて、複数のスペアメモリセルからデータを読み出すためのスペアビット線をさらに備え、接続回路は、第1の入力アドレスに応じて第1の選択ビット線を第1のデータ線に接続する第1のコラム選択ゲートと、第1の入力アドレスに応じてスペアビット線を第2のデータ線に接続する第2のコラム選択ゲートと、第2の入力アドレスに応じて第2の選択ビット線を第2のデータ線に接続する第3のコラム選択ゲートと、第2の入力アドレスに応じてスペアビット線を第1のデータ線に接続する第4のコラム選択ゲートとを含む。

【 0 0 3 1 】

請求項4に記載の記憶装置は、請求項1に記載の記憶装置の構成に加えて、アドレス信号に応じて第1、第2の選択ビット線にそれぞれ接続する複数の正規メモリセルのうちから第1、第2のアクセスメモリセルを選択するとともに、複数のスペアメモリセルのうちから第1、第2のアクセスメモリセルに対応する部分の選択を行なうデコード回路をさらに備える。

【 0 0 3 2 】

請求項 5 に記載の記憶装置は、請求項 1 に記載の記憶装置の構成に加えて、複数の正規メモリセルおよびスペアメモリセルの各々は、書込データに応じて電気抵抗値が変化し、読出増幅回路は、電気抵抗値の変化を検出する。

【 0 0 3 3 】

請求項 6 に記載の記憶装置は、請求項 1 に記載の記憶装置の構成に加えて、複数の正規メモリセルおよびスペアメモリセルの各々は、磁性体の記憶素子を含む。

【 0 0 3 4 】

請求項 7 に記載の記憶装置は、電気抵抗値の変化により情報を記憶する複数のメモリセルと、複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、読出増幅回路から電源電位の供給源までの間に複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、複数の読出電流経路は、互いに物理長が実質的に等しい。

【 0 0 3 5 】

請求項 8 に記載の記憶装置は、請求項 7 に記載の記憶装置の構成に加えて、複数のメモリセルの一部は、複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いるスペアメモリセルであり、複数の選択メモリセルの一部は、スペアメモリセルである。

【 0 0 3 6 】

請求項 9 に記載の記憶装置は、請求項 7 に記載の記憶装置の構成に加えて、複数のメモリセルの各々は、磁性体の記憶素子を含む。

【 0 0 3 7 】

請求項 1 0 に記載の記憶装置は、請求項 7 に記載の記憶装置の構成に加えて、複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、ダミーセルにそれぞれ対応するダミービット線とをさらに備え、電流経路形成部は、読出増幅回路から電源電位の供給源までの間にダミーセルに対応する参照電流経路を形成し、複数の読出電流経路と参照電流経路とは、互いに物理長が実質的に等しい。

【0038】

請求項11に記載の記憶装置は、メモリセルアレイを備え、メモリセルアレイは、電気抵抗値の変化により情報を記憶する複数の正規メモリセルと、複数の正規メモリセルとともに行列状に配置され、メモリセルアレイにおいて中央部に配置され、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いるスペアメモリセルと、メモリセルアレイの列方向に沿って配置され、複数の正規メモリセルにデータ読出電流を流すための複数のビット線と、列方向に沿って配置され、スペアメモリセルにデータ読出電流を流すためのスペアビット線と、複数のビット線の一部に流れるデータ読出電流およびスペアビット線に流れるデータ読出電流とを伝達する複数のデータ線と、データ読出コマンドに応じて選択される複数のビット線のうちの選択ビット線を複数のデータ線のうちの1つに接続するとともに、スペアビット線を複数のデータ線のうちの他の1つに接続する接続ゲート回路とを含み、複数のデータ線によって伝達されるデータ読出電流を受けて、複数の正規メモリセルとスペアメモリセルのデータを読出す読出増幅回路をさらに備える。

【0039】

請求項12に記載の記憶装置は、メモリセルアレイを備え、メモリセルアレイは、電気抵抗値の変化により情報を記憶する複数のメモリセルと、複数のメモリセルからデータを読出すための読出電流が流れる経路上に設けられる複数のソース線と、複数のメモリセルとともに行列状に配置され、メモリセルアレイの中央部に配置され、複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、ダミーセルから参照値を読出すための参照電流が流れる経路上に設けられるダミーソース線と、読出電流と参照電流とを伝達する複数のデータ線とを含み、複数のデータ線によって伝達される読出電流および参照電流を受けて、複数のメモリセルのデータを読出す読出増幅回路をさらに備える。

【0040】

請求項13に記載の記憶装置は、各々が電気抵抗値の変化により情報を記憶し、1つのメモリセルアレイ内に配置される複数のメモリセルと、複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出

を行なう読出増幅回路と、読出増幅回路から電源電位の供給源までの間に複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、複数の読出電流経路は、少なくともメモリセルアレイ内においては互いに分離されている。

【0041】

請求項14に記載の記憶装置は、請求項13に記載の記憶装置の構成に加えて、複数のメモリセルの一部は、複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いるスペアメモリセルであり、複数の選択メモリセルは、正規メモリセルと、スペアメモリセルとを含む。

【0042】

請求項15に記載の記憶装置は、請求項13に記載の記憶装置の構成に加えて、電流経路形成部は、複数の選択メモリセルにデータ読出のための基準電位をそれぞれ与える複数のソース線を含み、複数のソース線は、少なくともメモリセルアレイ内においては分離されている。

【0043】

請求項16に記載の記憶装置は、請求項15に記載の記憶装置の構成に加えて、複数の選択メモリセルのうちの第1、第2の選択メモリセルは、メモリセルアレイ内において、ともに第1の行に配置され、第1、第2の選択メモリセルにそれぞれ対応して設けられる複数のソース線のうちの第1、第2のソース線は、第1のメモリセルが配置される第1の領域では、第1のソース線が第1の行に沿って配置され第2のソース線が第1の行に隣接する第2の行に沿って配置され、第2のメモリセルが配置される第2の領域では、第2のソース線が第1の行に沿って配置され第1のソース線が第2の行に沿って配置されるように入替え配置される。

【0044】

請求項17に記載の記憶装置は、請求項15に記載の記憶装置の構成に加えて、複数の選択メモリセルのうちの第1、第2の選択メモリセルは、メモリセルアレイ内において、それぞれ第1、第2の行に配置され、第1、第2の選択メモリ

セルにそれぞれ対応して設けられる複数のソース線のうちの第1、第2のソース線は、それぞれ第1、第2の行に沿って配置され、第1、第2の選択メモリセルとともに選択するための第1の選択線と、第1の選択線に隣接して設けられる第2の選択線とをさらに備え、第1の選択線は、第1のメモリセルが配置される第1の領域では第1の行に沿って配置され、第2のメモリセルが配置される第2の領域では第2の行に沿って配置されるように途中で第2の選択線と入替え配置される。

【0045】

請求項18に記載の記憶装置は、請求項15に記載の記憶装置の構成に加えて、複数の選択メモリセルのうちの第1、第2の選択メモリセルは、メモリセルアレイ内において、ともに第1の行に配置され、第1、第2の選択メモリセルにそれぞれ対応して設けられる複数のソース線のうちの第1、第2のソース線は、第1の行に対してともに斜めに配置され、互いに平行に配置される。

【0046】

請求項19に記載の記憶装置は、請求項15に記載の記憶装置の構成に加えて、複数の選択メモリセルのうちの第1、第2の選択メモリセルは、メモリセルアレイ内において、それぞれ第1、第2の行に配置され、第1、第2の選択メモリセルにそれぞれ対応して設けられる複数のソース線のうちの第1、第2のソース線は、それぞれ第1、第2の行に沿って配置され、第1、第2の選択メモリセルとともに選択するための第1の選択線をさらに備え、第1の選択線は、第1、第2の行に対して斜めに配置される。

【0047】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

なお、図中同一符号は同一または相当部分を示す。

【0048】

〔実施の形態1〕

【0049】

図1は、本発明の実施の形態1のMRAMデバイス1の全体構成を示す概略ブ

ロック図である。

【 0 0 5 0 】

図 1 を参照して、MRAM デバイス 1 は、外部からの制御信号 CMD およびアドレス信号 ADD に応じて、M ビット (M : 自然数) のデータ信号 DAT の授受を行なう。MRAM デバイス 1 におけるデータ読出動作およびデータ書込動作は、たとえば、外部からのクロック信号 CLK に同期したタイミングで実行される。あるいは、外部からクロック信号 CLK を受けることなく内部で動作タイミングを定めてもよい。

【 0 0 5 1 】

MRAM デバイス 1 は、アドレス信号 ADD の入力を受けるアドレス端子 2 と、制御信号 CAD およびクロック信号 CLK の入力を受ける信号端子 3 a と、プログラム動作時に活性化されるプログラム信号 PRG の入力を受ける信号端子 3 b と、M ビットのデータ信号 DAT の授受を行なうデータ端子 4 とを備える。

【 0 0 5 2 】

MRAM デバイス 1 は、さらに、制御信号 CMD およびクロック信号 CLK に応答して MRAM デバイス 1 の全体動作を制御するためのコントロール回路 5 と、行列状に配置された複数の MTJ メモリセルを有するメモリセルアレイ 10 とを備える。

【 0 0 5 3 】

メモリセルアレイ 10 の構成については後ほど詳細に説明するが、メモリセルアレイ 10 は、アドレス信号 ADD によって各々を選択可能な、行列状に指定された複数の正規の MTJ メモリセル (以下、「正規メモリセル」とも称する) と、欠陥が生じた正規メモリセル (以下、「欠陥メモリセル」とも称する) を救済するためのスペアメモリセルとを含む。

【 0 0 5 4 】

MTJ メモリセルの行 (以下、単に「メモリセル行」とも称する) にそれぞれ対応して、書込時に行選択を行うための複数のディジット線 DL および読出時に行選択を行うための複数のリードワード線 RWL が配置される。さらに、メモリセルアレイ 10 には、列選択を実行するためのコラム選択線 CSL が配置される

。メモリセルアレイ10からのデータ読出は、リードデータバスRDBを介して実行される。

【0055】

MRAMデバイス1は、さらに、デコード回路7と、選択線ドライブ回路8と、読出／書込回路9と、冗長制御回路6と、プログラム回路11とを備える。

【0056】

デコード回路7は、アドレス信号ADDによって指定されるロウアドレスRA、コラムアドレスCAに基づいた行選択および列選択を実行する。選択線ドライブ回路8は、デコード回路7における行選択および列選択結果に応じて、リードワード線RWL、ディジット線DL、コラム選択線CSLおよびその他の選択線の活性化を制御する。ディジット線DLの各々は、メモリセルアレイ10を挟んで選択線ドライブ回路8が配置されるのと反対側の領域12において、接地電位Vssと結合される。

【0057】

プログラム回路11は、欠陥メモリセルを示すための不良アドレスをプログラム情報として不揮発的に記憶する。不良アドレスは、プログラム信号PRGが活性化されるプログラムデータ書込時において、たとえばアドレス端子2を介して外部から入力される。プログラム回路11からの不良アドレスの読出は、コントロール回路5からの指示に応じて実行される。

【0058】

冗長制御回路6は、通常動作時において、アドレス信号ADDによって指定されるアドレスとプログラム回路11に保持される不良アドレスとを比較してこれらが一致するか否かを検知する。そして、冗長制御回路6はこの比較結果に基づいて、データ読出またはデータ書込対象として、欠陥メモリセルが選択されたかどうかを示す冗長判定を行なう。冗長制御回路6は、冗長判定結果が反映された冗長制御信号 $\phi 1$ 、 $\phi 2$ を生成する。

【0059】

デコード回路7および選択線ドライブ回路8における、アドレス信号ADDに応じた行選択および列選択は、冗長判定結果を待つことなく実行される。すなわ

ち、データ読出およびデータ書込時のアドレス選択動作を、正規メモリセルおよびスペアメモリセルに対して並列に開始することによって、冗長構成を有するM RAMデバイスにおける動作の高速化が図られる。

【0060】

読出／書込回路9は、冗長制御信号 $\phi 1$ 、 $\phi 2$ に応じて複数のリードデータバスRDBのうちの適切なリードデータバスを選択することによって、欠陥メモリセルの救済を行なう。

【0061】

図2は、図1におけるメモリセルアレイ10の構成と読出／書込回路9の読出に関する構成とを示した回路図である。

【0062】

図2を参照して、メモリセルアレイ10は、読出用ワード線RWLと、ワード線RWLに交差して設けられるスペアビット線SBL1、 \diagup SBL1、SBL2、 \diagdown SBL2と、ワード線RWLに交差し、かつ、スペアビット線SBL1、SBL2に平行に設けられるビット線BL1～BL4、 \diagup BL1～ \diagdown BL4とを含む。ワード線RWLは、ワード線WLj、WLj+1、…と、ダミーワード線DWL1、DWL0とを含む。ワード線WLj、WLj+1、…は、データ保持用のメモリセルを選択するワード線であり。一方、ダミーワード線DWL1、DWL0は、データ保持用のメモリセルに保持されたデータを読出す際にデータ判別を行なうための参照値を保持するダミーメモリセルを選択するワード線である。

【0063】

メモリセルアレイ10は、さらに、スペアメモリセル21～24と、正規メモリセル31～38と、スペアダミーメモリセル41～44と、ダミーメモリセル51～58とを含む。

【0064】

スペアメモリセル21、23および正規メモリセル31～37は、共通のワード線WLjに接続され、それぞれスペアビット線SBL1、SBL2、ビット線BL1、BL2、BL3、BL4に接続される。

【0065】

スペアメモリセル22, 24および正規メモリセル32, 34, 36, 38は、共通のワード線WLj+1に接続され、それぞれスペアビット線/SBL1, /SBL2、ビット線/BL1, /BL2, /BL3, /BL4に接続される。

【0066】

スペアダミーメモリセル41, 43およびダミーメモリセル51, 53, 55, 57は、共通のダミーワード線DWL1に接続され、それぞれスペアビット線SBL1, SBL2、ビット線BL1, BL2, BL3, BL4に接続される。

【0067】

スペアダミーメモリセル42, 44およびダミーメモリセル52, 54, 56, 58は、共通のダミーワード線DWL1に接続され、それぞれスペアビット線/SBL1, /SBL2、ビット線/BL1, /BL2, /BL3, /BL4に接続される。

【0068】

メモリセルアレイ10は、さらに、リードデータバスRDB1, /RDB1, RDB2, /RDB2と、コラム選択ゲート61~62, 71~74とを含む。

【0069】

コラム選択ゲート61は、選択信号SCSL1に応じてスペアビット線SBL1, /SBL1をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート62は、選択信号SCSL0に応じてスペアビット線SBL2, /SBL2をそれぞれリードデータバスRDB2, /RDB2に接続する。

【0070】

コラム選択ゲート71は、選択信号CSL01に応じてビット線BL1, /BL1をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート72は、選択信号CSL11に応じてビット線BL2, /BL2をそれぞれリードデータバスRDB2, /RDB2に接続する。コラム選択ゲート73は、選択信号CSL02に応じてビット線BL3, /BL3をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート74は、選択信号CSL12に応じてビット線BL4, /BL4をそれぞれリードデータバスRDB2, /RDB2に接続する。

【0071】

読出／書込回路9は、接続ゲート81、82とセンスアンプ83とを含む。接続ゲート81は、冗長制御信号 $\phi 1$ に応じてリードデータバスRDB1をセンスアンプの入力ノードN1に接続しリードデータバス／RDB1を入力ノードN2に接続する。接続ゲート82は、冗長制御信号 $\phi 2$ に応じてリードデータバスRDB2をセンスアンプ83の入力ノードN1に接続しリードデータバス／RDB2を入力ノードN2に接続する。

【0072】

なお、図2には図面の煩雑さを避けるため図示していないが、ワード線WLj、WLj+1とそれぞれ近接して平行にデータ書込時に活性化されるディジット線DLj、DLj+1が設けられている。

【0073】

図3は、図2におけるメモリセル31の構成を示した回路図である。

【0074】

図3を参照して、メモリセル31は、ビット線BL1に一方端が接続されるトンネル磁気抵抗素子TMRと、トンネル磁気抵抗素子TMRの他方端とソース線SLjとの間に設けられゲートがワード線WLjに接続されるアクセストランジスタATRとを含む。図2には図示していないが、トンネル磁気抵抗素子TMRに近接してワード線WLjと平行に、データ書込時にメモリセル31を選択するために活性化されるディジット線DLjが設けられている。

【0075】

なお、図2のスペアメモリセル21～24および正規メモリセル32～38は、正規メモリセル31と同様な構成を有しているので、これらの説明は繰返さない。

【0076】

図4は、図3に示したメモリセルの構造の第1例を示す断面図である。

【0077】

図4を参照して、半導体基板90の主表面上にn型不純物領域91、92が形成され、n型不純物領域91、92の間の領域の上部にワード線WLjが形成さ

れている。n型不純物領域91、92がソース／ドレインとなり、ワード線WLjがゲート電極となって、アクセストランジスタATRが形成される。

【0078】

n型不純物領域91の上部には第1層目の金属配線層によってソース線SLjが形成され、このソース線SLjとn型不純物領域91とはコンタクトホール内に形成されたプラグ93で接続されている。

【0079】

n型不純物領域92の上部には第1層目の金属配線層によって導電層95が形成され、この導電層95とn型不純物領域92とはコンタクトホール内に形成されたプラグ94によって接続されている。

【0080】

第2層目の金属配線層によってディジット線DLjと導電層97とが形成される。導電層97はコンタクトホール内に形成されるプラグ96によって導電層95と接続される。ディジット線DLjおよび導電層97の上部には、導電層99が形成され、この導電層99はコンタクトホール内に形成されるプラグ98によって導電層97に接続されている。導電層99の上部であってディジット線DLjに一番近い部分にトンネル磁気抵抗素子TMRが形成され、導電層99との間でトンネル磁気抵抗素子TMRを挟むようにビット線BL1が第3の金属配線層によって形成されている。

【0081】

トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層100と、絶縁体膜で形成されるトンネルバリア101と、外部からの印加磁界に応じた方向に磁化される強磁性体層（自由磁化層）102とを含む。

【0082】

図5は、図3に示したメモリセルの構造の第2例を示す断面図である。

【0083】

図5に示す構造は、図4で示した構造においてn型不純物領域91が接地電位を伝達するソース線となっており、図4では第2の金属配線層で形成されていたディジット線DLjが第1の金属配線層で形成される点異なる。このため、図

4では第3の金属配線層で形成されていたビット線BL1は図5においては第2の金属配線層によって形成されている。このような構成とすれば、ソース線の抵抗値が大きくなるが、金属配線層が2層となって製造工程が第1例の場合よりも短縮できるというメリットがある。

【0084】

図6は、図3に示したメモリセルの構造の第3例を示す断面図である。

【0085】

図6に示した構造は、図4に示した構造において、第2の配線層で形成されていたディジット線が第3の配線層によって形成される点が異なる。このため導電層99は第1の金属配線層の上部に設けられ、そのさらに上部にTMRを挟むように第2の配線層によってビット線BL1が設けられている。

【0086】

図7は、図2におけるセンスアンプ83および接続ゲート81、82の構成例を示した回路図である。

【0087】

図7を参照して、センスアンプ83は、センス電流供給部175と、リードアンプFAMPとを含む。

【0088】

センス電流供給部175は、電源電圧Vccを受けて、一定電流I(Read)をノードNs1およびNs2へそれぞれ供給するための定電流供給回路171a、171bと、ノードNs1およびノードN2との間に接続されるNチャンネルMOSトランジスタ173と、ノードNs2とノードN1との間に接続されるNチャンネルMOSトランジスタ174と、接地電位VssにノードNs1およびNs2をそれぞれプルダウンするための抵抗176、177とを有する。NチャンネルMOSトランジスタ173および174の各々のゲートには基準電位Vrrが与えられる。基準電位Vrrを与えることによって、ノードN1、N2の電位は、所定の一定の電位に保たれる。

【0089】

接続ゲート81は、リードデータバスRDB1とノードN2との間に接続され

ゲートに冗長制御信号 $\phi 1$ を受けるNチャネルMOSトランジスタ105と、リードデータバス/RDB1とノードN1との間に接続されゲートに冗長制御信号 $\phi 1$ を受けるNチャネルMOSトランジスタ106とを含む。

【0090】

接続ゲート82は、リードデータバスRDB2とノードN1との間に接続されゲートに冗長制御信号 $\phi 2$ を受けるNチャネルMOSトランジスタ103と、リードデータバス/RDB2とノードN2との間に接続されゲートに冗長制御信号 $\phi 2$ を受けるNチャネルMOSトランジスタ104とを含む。

【0091】

リードアンプFAMPは、ノードNs1, Ns2の間に生じた電位差を増幅して信号OUT, /OUTを出力する。

【0092】

図8は、図2に示したメモリセルアレイ10および読出/書込回路9の制御信号を説明するための図である。

【0093】

図2、図8を参照して、ビット線はたとえばBL1, /BL1のように対をなしている。読出対象となるメモリセルに接続されるビット線を読出ビット線とすると、この読出ビット線と対をなすビット線がリファレンスビット線（ダミービット線）となる。リファレンスビット線は、対応するダミーメモリセルに接続される。

【0094】

メモリセルデータ読出時には、接地電位にプリチャージされたビット線に対してワード線WLjの活性化によって行選択されたメモリセルが接続される。ワード線WLjの活性化とともに、ダミーワード線DWL0が活性化される。これにより、メモリセル21, 23, 31, 33, 35, 37が接続される読出ビット線と対をなすリファレンスビット線にダミーセルが接続される。なお、ワード線WLj+1が活性化される場合には、ダミーワード線DWL1が活性化される。この場合にはメモリセル22, 24, 32, 34, 36, 38がそれぞれ接続されるビット線が読出ビット線であり、これと対をなすビット線はリファレンスビ

ット線となる。

【0095】

ワード線、ダミーワード線の活性化とともに、コラム選択線CSL2より列選択された読出ビット線およびリファレンスビット線が、リードデータバス対RDB1、／RDB1またはRDB2、／RDB2に接続され、センスアンプ83によりデータが検知され出力される。

【0096】

図8に示したように、選択コラムのビット線対が一方のデータ線対に接続されるとともに、2対のスペアビット線対のうち選択コラムに対応する1対が選択されて他方のデータ線対に接続される。

【0097】

具体的には、図8の上段に示すように、制御信号CSL01またはCSL02が活性化された場合には、選択コラムが使用するデータバスはRDB1、／RDB1である。このときは制御信号SCSL0が活性化されコラム選択ゲート62が導通し、選択スペアコラムとしてスペアビット線対SBL2、／SBL2が選択される。選択スペアコラムはこのときにデータバスRDB2、／RDB2を使用する。読出／書込回路9において、センスアンプ83の入力部分で冗長判定結果を反映した冗長制御信号 $\phi 1$ 、 $\phi 2$ によりデータ線選択が行なわれる。制御信号SCSL0が活性化される場合には、冗長制御信号 $\phi 1$ によってノーマル選択がなされ、冗長制御信号 $\phi 2$ によってスペア選択がなされる。

【0098】

図2では、ワード線WLjおよびダミーワード線DWL0が活性化され、制御信号CSL02および制御信号SCSL0が活性化され、選択コラムおよび選択スペアコラムが選択されている状態が示されている。選択されたワード線およびビット線は太線によって示されている。

【0099】

一方、図8の下段に示すように、選択コラムが制御信号CSL11またはCSL12によって選択される場合は、選択コラムが使用するデータバスはリードデータバスRDB2、／RDB2である。このときには、選択スペアコラムを指定

するために制御信号 S C S L 1 が活性化される。選択スペアコラムが使用するデータバスはリードデータバス R D B 1, / R D B 1 である。この場合には、冗長制御信号 $\phi 1$ によってスペア選択がなされ、冗長制御信号 $\phi 2$ によってノーマル選択がなされる。図 1 における冗長制御回路 6 0 は、入力されたアドレスによって冗長制御信号 $\phi 1$ がノーマル選択を示すかスペア選択を示すかを判定し、入力されたアドレスとプログラム回路 1 1 に保持されているアドレスとを比較して冗長制御信号 $\phi 1$, $\phi 2$ のいずれか一方を活性化する。

【 0 1 0 0 】

このような構成とすることにより、スペアコラムと正規コラムの選択動作を並列的に行ない、最終的にセンスアンプ 8 3 によっていずれか一方のデータを読出す。並列選択を行なうことにより、アクセススピードを速くすることができる。

また、各リードデータバスには、均等にコラム選択ゲートが接続されているので、コラム選択ゲートによる寄生容量をリードデータバス間で等しくすることができる。したがって、ビット線対、リードデータバス対からなる読出電流経路の寄生容量のアンバランスがないので、正確に読出を行なうことができる。

【 0 1 0 1 】

図 9 は、図 2 に示した読出／書込回路 9 の変形例である読出／書込回路 9 a をメモリセルアレイ 1 0 に適用した変形例である。

【 0 1 0 2 】

図 9 を参照して、読出／書込回路 9 a は、センスアンプ 2 0 1, 2 0 2 と、接続ゲート 2 0 3, 2 0 4 とを含む。

【 0 1 0 3 】

センスアンプ 2 0 1 は、リードデータバス R D B 1, / R D B 1 にそれぞれ接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検出する。センスアンプ 2 0 2 は、リードデータバス R D B 2, / R D B 2 にそれぞれ接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検出する。

【 0 1 0 4 】

センスアンプ 2 0 1, 2 0 2 の構成は図 7 で示したセンスアンプ 8 3 と同様であるので説明は繰返さない。

【0105】

接続ゲート203は、冗長制御信号 $\phi 1$ の活性化に応じてセンスアンプ202の出力を選択する。接続ゲート204は、冗長制御信号 $\phi 2$ の活性化に応じてセンスアンプ202の出力を選択する。読出／書込回路9aは、冗長制御信号 $\phi 1$ 、 $\phi 2$ のいずれか一方によって選択されたセンスアンプの出力を読出結果として出力する。

【0106】

図9に示した構成では、ノーマルメモリセルのデータとスペアメモリセルのデータは並列的に2つのセンスアンプ201、202で読出される。このセンスアンプにおけるセンス動作が行なわれた後に冗長判定結果を反映した冗長制御信号 $\phi 1$ 、 $\phi 2$ により読出データの選択が行なわれ、選択されるべきノーマルデータあるいはスペアデータに対応するデータが選択されて次段に送られる。

【0107】

図9に示した構成においても、センスアンプに接続されるリードデータバスごとの負荷容量のアンバランスがないという利点がある。

【0108】

図10は、メモリセルアレイ10の第1の変形例であるメモリセルアレイ10aの構成を示した回路図である。

【0109】

図10を参照して、メモリセルアレイ10aは、図2において説明したメモリセルアレイ10の構成において、スペアビット線SBL1、 \neg SBL1、SBL2、 \neg SBL2に代えてスペアビット線SBL、 \neg SBLを含む。またスペアメモリセル21～24に代えてスペアメモリセル21a、22aを含み、スペアダミーメモリセル41～44に代えてスペアダミーメモリセル41a、42aを含む。さらに、コラム選択ゲート61、62に代えてコラム選択ゲート61a、62aを含む。

【0110】

メモリセルアレイ10aの他の部分の構成については、図2に示したメモリセルアレイ10と同様であり説明は繰返さない。

【0111】

スペアメモリセル21aはワード線WL_jとスペアビット線SBLとに接続される。スペアメモリセル22aは、ワード線WL_{j+1}とスペアビット線/SBLとに接続される。スペアダミーメモリセル41aは、ダミーワード線DWL₁とスペアビット線SBLとに接続される。スペアダミーメモリセル42aは、ダミーワード線DWL₀とスペアビット線/SBLとに接続される。

【0112】

コラム選択ゲート61aは、制御信号SCSL₁の活性化に応じてスペアビット線SBL、/SBLをそれぞれリードデータバスRDB₁、/RDB₁に接続する。コラム選択ゲート62aは、制御信号SCSL₀の活性化に応じてスペアビット線SBL、/SBLをそれぞれリードデータバスRDB₂、/RDB₂に接続する。

【0113】

このようにすれば、スペアビット線の数減らしても、リードデータバスの寄生容量のアンバランスが低減されたメモリセルアレイを実現できる。

【0114】

なお、図10においては、選択されたリードデータバスを介してセンスアンプによってデータ読出を行なう読出/書込回路9が示されているが、これに代えて図9に示した読出/書込回路9aを用いてもよい。

【0115】

図11は、メモリセルアレイの第2の変形例であるメモリセルアレイ10bの構成を示す回路図である。

【0116】

図11を参照して、メモリセルアレイ10bは、図2で説明したメモリセルアレイ10の構成において、リードデータバスRDB₂、/RDB₂が配置される位置が異なる。すなわち、リードデータバスRDB₂、/RDB₂は、メモリセルおよびダミーメモリセルを挟むようにリードデータバスRDB₁、/RDB₁と対向する位置に配置される。リードデータバスの配置の変更に応じて、コラム選択ゲート61b、63b、65bは、リードデータバスRDB₁、/RDB₁

の近くに配置され、対応するビット線対とリードデータバスとの間に配置される。一方コラム選択ゲート62b, 64b, 66bは、リードデータバスRDB2, /RDB2の近くに配置され、対応するビット線対とリードデータバスRDB2, /RDB2との間に配置される。

【0117】

リードデータバスRDB1, /RDB1に対応して読出/書込回路9b#1が設けられる。読出/書込回路9b#1は、接続ゲート81bとセンスアンプ83b#1とを含む。接続ゲート81bは冗長制御信号 ϕ 1に応じて導通し、リードデータバスRDB1, /RDB1をセンスアンプ83b#1の入力ノードに接続する。

【0118】

リードデータバスRDB2, /RDB2に対応して読出/書込回路9b#2が設けられる。読出/書込回路9b#2は、接続ゲート82bとセンスアンプ83b#2とを含む。接続ゲート82bは冗長制御信号 ϕ 2に応じて導通し、リードデータバスRDB2, /RDB2をセンスアンプ83b#2の入力ノードに接続する。

【0119】

センスアンプ83b#1, 83b#2の構成は図7で示したセンスアンプ83と同様であるので説明は繰返さない。

【0120】

このように、リードデータバスをビット線対の両側に配置し、コラム選択ゲートをビット線対の左側と右側とで交互に配置することにより、コラム選択ゲートの部分のレイアウトピッチが2倍になる。これによりメモリセルアレイのピッチ制約が緩和されるという利点がある。

【0121】

図12は、メモリセルアレイの第3の変形例であるメモリセルアレイ10cの構成を説明するための回路図である。

【0122】

図12を参照して、メモリセルアレイ10cは、図11に示したメモリセルア

レイ 10 b の構成において、スペアビット線 SBL1, SBL2, /SBL1, /SBL2 に代えてスペアビット線 SBL, /SBL を含む。またスペアメモリセル 21~24 に代えてスペアメモリセル 21c, 22c を含む、スペアダミーメモリセル 41~44 に代えてスペアダミーメモリセル 41c, 42c を含む。そしてスペアビット線 SBL, /SBL の両端にはコラム選択ゲート 61c, 62c が設けられている。コラム選択ゲート 61c は、選択信号 SCSL1 の活性化に応じてビット線 SBL, /SBL をそれぞれリードデータバス RDB1, /RDB1 に接続する。コラム選択ゲート 62c は、選択信号 SCSL0 の活性化に応じてスペアビット線 SBL, /SBL をそれぞれリードデータバス RDB2, /RDB2 に接続する。このような構成とすることにより、スペアビット線対が 1 対である場合においてもスペアメモリセルと正規メモリセルの並列的な読出が可能となる。

【0123】

メモリセルアレイ 10c に対応して読出／書込回路 9c#1, 9c#2 が設けられる。

【0124】

読出／書込回路 9c#1 は、リードデータバス RDB1, /RDB1 に接続されるメモリセル、ダミーメモリセルに流れる電流の差を検知してデータ読出を行なうセンスアンプ 83c#1 と、冗長制御信号 ϕ 1 に応じて導通してセンスアンプ 83c#1 の出力をグローバルデータバス GDB, /GDB に伝達する接続ゲート 81c とを含む。

【0125】

読出／書込回路 9c#2 は、リードデータバス RDB2, /RDB2 に接続されるメモリセル、ダミーメモリセルに流れる電流の差を検知してデータ読出を行なうセンスアンプ 83c#2 と、冗長制御信号 ϕ 2 に応じて導通しセンスアンプ 83c#2 の出力をグローバルデータバス GDB, /GDB に伝達する接続ゲート 82c とを含む。

【0126】

センスアンプ 83c#1, 83c#2 の構成は図 7 で示したセンスアンプ 83

と同様であるので説明は繰返さない。

【0127】

図13は、メモリセルアレイの変形例であるメモリセルアレイ10dとそれに対応する読出／書込回路9dの構成を示した回路図である。

【0128】

図13を参照して、メモリセルアレイ10dは、図10で説明したメモリセルアレイ10aの構成において、コラム選択ゲート61a, 62aに代えてそれぞれコラム選択ゲート61d, 62dを含む。また、コラム選択ゲート71～74に代えてコラム選択ゲート71d, 72dを含む。そして、さらに、リードデータバスRDB3, /RDB3, RDB4, /RDB4がリードデータバスRDB1, RDB2と平行に設けられている。他の部分の構成は、メモリセルアレイ10aと同様であるので説明は繰返さない。

【0129】

コラム選択ゲート61dは、選択信号SCSL2の活性化に応じてスペアビット線SBL, /SBLをそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート62dは、選択信号SCSL1の活性化に応じてスペアビット線SBL, /SBLをそれぞれリードデータバスRDB3, /RDB3に接続する。

【0130】

コラム選択ゲート71dは、選択信号CSL1の活性化に応じてビット線BL1, /BL1, BL2, /BL2をそれぞれリードデータバスRDB1, /RDB1, RDB2, /RDB2に接続する。

【0131】

コラム選択ゲート72dは、選択信号CSL2の活性化に応じてビット線BL3, /BL3, BL4, /BL4をそれぞれリードデータバスRDB3, /RDB3, RDB4, /RDB4に接続する。

【0132】

読出／書込回路9dは、センスアンプ83d#1～83d#4と、接続ゲート81d#1～81d#4とを含む。センスアンプ83d#1は、リードデータバ

スRDB1, /RDB1に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#2は、リードデータバスRDB2, /RDB2に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#3は、リードデータバスRDB3, /RDB3に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#4は、リードデータバスRDB4, /RDB4に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。

【0133】

センスアンプ83d#1~83d#4の各構成は図7で示したセンスアンプ83と同様であるので説明は繰返さない。

【0134】

接続ゲート81d#1は、冗長制御信号 ϕ 1の活性化に応じてセンスアンプ83d#1の出力をグローバルデータバスGDB1, /GDB1に接続する。接続ゲート81d#2は、冗長制御信号 ϕ 2の活性化に応じてセンスアンプ83d#2の出力をグローバルデータバスGDB2, /GDB2に接続する。接続ゲート81d#3は、冗長制御信号 ϕ 3の活性化に応じてセンスアンプ83d#3の出力をグローバルデータバスGDB1, /GDB1に接続する。接続ゲート81d#4は、冗長制御信号 ϕ 4の活性化に応じてセンスアンプ83d#4の出力をグローバルデータバスGDB2, /GDB2に接続する。

【0135】

図13に示した構成では、同時に選択されるスペアメモリセルと正規メモリセルの比が1対多の態様になる場合を示している。この場合には、各リードデータバスに接続される容量をバランスさせるためにコラム選択ゲートをなるべく均等に各リードデータバスに配置する。そして、同時に選択される正規メモリセルからの読出データとスペアメモリセルからの読出データの衝突がないような接続関係とデコード関係となるように設計されている。

【0136】

図14は、図13に示した構成の制御信号のデコード関係を示す図である。

【0137】

図14の上段を参照して、選択信号CSL1によってコラム選択が行なわれる場合には、正規メモリセルが使用するデータバスはリードデータバスRDB1、／RDB1、RDB2、／RDB2である。この場合には制御信号SCSL1が活性化されスペアコラムが選択される。スペアコラムが使用するデータバスはこの場合にはリードデータバスRDB3、／RDB3である。そして冗長制御信号 $\phi 1 \sim \phi 4$ によるスペア／ノーマルの選択は、冗長制御信号 $\phi 1$ および $\phi 2$ が活性化される場合には正規メモリセルの選択となり、一方、冗長制御信号 $\phi 3$ および $\phi 2$ が活性化される場合にはスペアメモリセルの選択となる。

【0138】

図14の下段を参照して、選択信号CSL2によってコラム選択が行なわれる場合には、正規メモリセルが使用するデータバスはリードデータバスRDB3、／RDB3、RDB4、／RDB4である。この場合には制御信号SCSL2が活性化されスペアコラムが選択される。スペアコラムが使用するデータバスはこの場合にはリードデータバスRDB1、／RDB1である。そして冗長制御信号 $\phi 1 \sim \phi 4$ によるスペア／ノーマルの選択は、冗長制御信号 $\phi 3$ および $\phi 4$ が活性化される場合には正規メモリセルの選択となり、一方、冗長制御信号 $\phi 1$ および $\phi 4$ が活性化される場合にはスペアメモリセルの選択となる。

【0139】

図15は、図13における読出／書込回路9dの変形例である読出／書込回路9eの構成を示した回路図である。

【0140】

図15を参照して、読出／書込回路9eは、接続ゲート81e#1～81e#4と、センスアンプ回路83e#1、83e#2とを含む。接続ゲート81e#1は、冗長制御信号 $\phi 1$ の活性化に応じてリードデータバスRDB1、／RDB1をセンスアンプ83e#1の2つの入力ノードにそれぞれ接続する。接続ゲート81e#2は、冗長制御信号 $\phi 2$ の活性化に応じてリードデータバスRDB2、／RDB2をセンスアンプ83e#2の2つの入力ノードにそれぞれ接続する。接続ゲート81e#3は、冗長制御信号 $\phi 3$ の活性化に応じてリードデータバ

スRDB3、／RDB3をセンスアンプ83e#1の2つの入力ノードにそれぞれ接続する。接続ゲート81e#4は、冗長制御信号φ4の活性化に応じてリードデータバスRDB4、／RDB4をセンスアンプ83e#2の2つの入力ノードにそれぞれ接続する。

【0141】

以上実施の形態1で示した各種の構成例によれば、MRAMにおいて、正規メモリセルとスペアメモリセルの同時読出を行なう場合に、読出データバスの寄生容量のアンバランスを最小にして読出マージンやアクセスタイムを向上することができる。

【0142】

〔実施の形態2〕

【0143】

実施の形態1で説明したように正規メモリセルとスペアメモリセルのアクセス動作を同時に並行して行なう場合を説明した。この場合において、並列アクセスされるメモリセルの位置により読出電流が流れる電流パスの長さが異なると、読出速度のアンバランスが生じる。読出速度のアンバランスが生ずると、アクセスタイムは一番遅い読出速度のメモリセルによって規定されてしまうので、結果的にはアクセスタイムが損なわれる。

【0144】

図16は、実施の形態2において用いられるメモリセルアレイ310の構成を示した回路図である。なお、図16に示す構成は、図9に示したようにリードデータバスの対にそれぞれ対応するセンスアンプが複数設けられており、複数のリードデータバスに読出電流が同時に流れる場合に有効である。

【0145】

図9においては、メモリセルの行に対応してワード線およびダミーワード線が示されていたが、図16では、読出電流が流れる経路を説明するために、ワード線およびダミーワード線に代えてソース線SLj、SLj+1およびダミーソース線DSL1、DSL0が示されている。

【0146】

なお、ソース線 SL_j およびダミーソース線 DSL_0 は太線で示されているが、これは対応する読出ワード線の活性化によりこれらのソース線が電流経路として選択状態にあることが示されており、配線の幅が太いことを示すものではない。

【0147】

メモリセルアレイ 310 において、スペアメモリセル 21, 23 および正規メモリセル 31, 33, 35, 37 がソース線 SL_j に接続されている。またスペアメモリセル 22, 24 および正規メモリセル 32, 34, 36, 38 がソース線 SL_{j+1} に接続されている。

【0148】

スペアダミーメモリセル 41, 43 およびダミーメモリセル 51, 53, 55, 57 がダミーソース線 DSL_1 に接続される。スペアダミーメモリセル 42, 44 およびダミーメモリセル 52, 54, 56, 58 がダミーソース線 DSL_0 に接続される。スペアビット線およびビット線とメモリセルおよびコラム選択ゲートについては、図 9 で示した構成と同様であるので説明は繰返さない。

【0149】

メモリセルアレイ 310 の外部には一方端が接地電位の供給源に接続されている接地線 GL_1 が設けられている。この接地線 GL_1 は、スペアビット線 SBL_1 と平行にメモリセルアレイ 310 の外側に配置されている。接地電位を与える接地線は、メモリセルアレイ内部の配線に対して抵抗が低い太い配線とされるのが通常であるが、この接地線 GL_1 はメモリセルアレイ内のビット線 2 本分程度の単位長さ当りの電気抵抗を持つ配線である。

【0150】

図 17 は、図 16 に示した構成において並列読出が行なわれる場合の読出電流が流れる経路を説明するための図である。

【0151】

図 17 を参照して、矢印 311 は、正規メモリセル 35 に流れる読出電流の経路を示す矢印である。矢印 312 は、ダミーメモリセル 56 に流れる参照電流の電流経路である。矢印 313 は、スペアメモリセル 23 に流れる読出電流の電流

経路を示す矢印である。矢印314は、スペアダミーメモリセル44に流れる参照電流の電流経路を示す矢印である。

【0152】

メモリセルアレイ周辺の接地線GL1を、ビット線2本分の単位長さ当りの抵抗を持つように形成する。そして、リードデータバスもソース線と同じ単位長さ当りの抵抗を持つように形成する。すると、矢印311, 312, 313, 314で示される読出電流経路の電気抵抗を揃えることができる。

【0153】

図18は、図16に示した電源線の第1の変形例を示した図である。

【0154】

図18では、図16で説明した構成に加えて、メモリセルアレイ310を挟むように、接地線GL1に対向する接地線GL2が設けられている。接地線GL2の一方端は接地電位の供給源に接続される。

【0155】

図19は、図16に示した電源線の第2の変形例を示した図である。

【0156】

図19を参照して、図18で説明した構成に対して接地線GL1の両端が接地電位の供給源に接続される。また接地線GL2の両端も同様に接地電位の供給源に接続される。

【0157】

図18～図19に示した電源配線の構成例においても、2つの読出電流経路および2つの参照電流経路の電気抵抗が等しく保たれる。

【0158】

図20は、図18に示した構成においてメモリセルアレイをさらに変形した変形例である。

【0159】

図20を参照して、メモリセルアレイ410は、図18に示したメモリセルアレイ310の構成において、ダミーソース線DSL0, DSL1がソース線SL_j～SL_{k+1}の中央部分に配置されている。したがって、コラム選択ゲート6

1, 62, 71~74に隣接するソース線 SL_{k+1} とその隣のソース線 SL_k にはダミーメモリセルは接続されない。つまりソース線 SL_k にはスペアメモリセル421, 423と正規メモリセル431, 433, 435, 437が接続される。またソース線 SL_{k+1} にはスペアメモリセル422, 424および正規メモリセル432, 434, 436, 438が接続される。スペアビット線およびビット線とコラム選択ゲートの関係については、図18の場合と同様であるので説明は繰返さない。

【0160】

このように、ダミーロウをアレイ中央付近に配置することにより、元々の電流パス中の抵抗のアンバランスを低減できる。図18に示した構成では、ビット線と接地線 GL_1 , GL_2 の電気抵抗が異なる場合には、選択される正規メモリセルの位置が、ダミーメモリセルに近い場合とダミーメモリセルに離れた場合とでは、読出電流経路の抵抗値と参照電流経路の抵抗値とが大きく異なってしまう。このため、接地線の抵抗値をビット線と同程度にしていた。

【0161】

しかし、図20に示すようにダミーロウをアレイ中央部分に配置すれば、ビット線と接地線 GL_1 , GL_2 の電気抵抗が異なる場合でも、ダミーメモリセルに流れる電流経路の抵抗値と正規メモリセルの読出電流が流れる経路の抵抗値の差最大値を図18の場合に比べ半分程度に低減することができる。

【0162】

図21は、他の変形例であるメモリセルアレイ510の説明をするための図である。

【0163】

図21を参照して、メモリセルアレイ510は、図19に示したメモリセルアレイ310の構成において選択信号 $SCSL_1$, $SCSL_0$ で選択されるスペアコラムをメモリセルアレイの中央部に位置するように変形したものである。つまり、接地線 GL_1 に近接してビット線 BL_1 が設けられ、接地線 GL_2 に近接してビット線 $/BL_n$ が設けられている。スペアビット線 SBL_1 , $/SBL_1$, SBL_2 , $/SBL_2$ はビット線 BL_1 とビット線 $/BL_n$ のちょうど中央部分

付近に正規ビット線と平行に設けられる。このような配置とすることにより、ソース線 SL_j , SL_{j+1} およびダミーソース線 DSL_0 , DSL_1 の単位長さ当りの抵抗値と、リードデータバス RDB_1 , $\nearrow RDB_1$, RDB_2 , $\nearrow RDB_2$ の単位長さ当りの抵抗値とが異なる場合であっても図 19 に示した配置よりは電流経路の抵抗値のアンバランスを低減することができる。

【0164】

以上説明したように、実施の形態 2 に示した電源配線の構成やメモリセルアレイの構成を適用すれば、正規メモリセルのデータとスペアメモリセルのデータとを同時読出を行なう場合や 1 つのメモリセルアレイから複数ビットのデータを同時に読出す場合において読出電流経路の電気抵抗のばらつきを最小にして読出マージンやアクセスタイムを向上することができる。

【0165】

〔実施の形態 3〕

【0166】

実施の形態 1 では、正規メモリセルとスペアメモリセルの同時アクセスを行なう場合を説明した。このときに並列的にアクセスされる複数のデータの読出電流パスが重なる部分、特にソース線ではその電気抵抗によりアクセスタイムが損なわれるという問題がある。

【0167】

つまり、ノーマルメモリセルとスペアメモリセルの 2 つのセルに流れる電流が同じソース線に流れると、ソース線電位の浮きが 2 倍となり、アクセスタイムを遅延させる。この場合には、常にノーマルメモリセルに流れる電流とスペアメモリセルの流れる電流の経路を別にするようにソース線やワード線を配置すればよい。

【0168】

図 22 は、読出電流経路を分離する実施の形態 3 において用いられるメモリセルアレイ 610 の構成を示した回路図である。

【0169】

図 22 を参照して、メモリセルアレイ 610 は、スペアメモリセル 621 ~ 6

24と、正規メモリセル631～634とを含む。

【0170】

スペアメモリセル621、622および正規メモリセル631、632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0171】

スペアメモリセル623、624および正規メモリセル633、634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0172】

スペアメモリセル621～624および正規メモリセル631～634の各構成は、図3に示したメモリセル31の構成と同様であるので説明は繰返さない。

【0173】

メモリセルアレイ610は、スペアメモリセル621、623に接続されるスペアビット線SBL1と、スペアメモリセル622、624に接続されるスペアビット線SBL2と、正規メモリセル631、633に接続されるビット線BL1と、正規メモリセル632、634に接続されるビット線BL2とを含む。

【0174】

メモリセルアレイ610は、さらに、ソース線SL1、SL2を含む。ソース線SL1とソース線SL2は、正規メモリセル631～634が配置される領域とスペアメモリセル621～624が配置される領域との境界部分で配置の入換えがなされている。

【0175】

すなわちソース線SL1はスペアメモリセルが配置される領域においてはスペアメモリセル621、622に接続されている。そして正規メモリセルが配置される領域においては隣のメモリセル行にある正規メモリセル633、634に接続されている。また、ソース線SL2はスペアメモリセルが配置される領域においてはスペアメモリセル623、624に接続されている。そして正規メモリセルが配置される領域においては隣のメモリセル行にある正規メモリセル631、

632に接続されている。

【0176】

ここで、データ読出時にワード線RWL2が活性化されビット線BL2とスペアビット線SBL2とが同時に選択され並列読出が行なわれる場合について説明する。図では、選択を示すためにワード線RWL2およびスペアビット線SBL2とビット線BL2は太線で示されている。

【0177】

このように選択が行なわれた場合には、スペアメモリセル624および正規メモリセル634に電流が流れることになる。ここで正規メモリセル634に流れる読出電流は、ビット線BL2からメモリセル634を通り抜けてソース線SL1に流入する。一方スペアメモリセル624に流れる電流はスペアビット線SBL2からスペアメモリセル624を通り抜けてソース線SL2に流入する。

【0178】

このようにスペアメモリセルが配置される領域と正規メモリセルが配置される領域との境界部分でソース線の入換えを行なうことにより読出電流が流れる経路をメモリセルアレイ内において分離することができる。したがって、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0179】

図23は、読出電流経路を分離する構成の第2の変形例を示した図である。

【0180】

図23を参照して、メモリセルアレイ610aは、スペアメモリセル621～624と、正規メモリセル631～634とを含む。

【0181】

スペアメモリセル621、622および正規メモリセル631、632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0182】

スペアメモリセル623、624および正規メモリセル633、634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2

【0208】

スペアメモリセル621, 622および正規メモリセル631, 632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0209】

スペアメモリセル623, 624および正規メモリセル633, 634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0210】

メモリセルアレイ610dは、スペアメモリセル621, 623に接続されるスペアビット線SBL1と、スペアメモリセル622, 624に接続されるスペアビット線SBL2と、正規メモリセル631, 633に接続されるビット線BL1と、正規メモリセル632, 634に接続されるビット線BL2とを含む。

【0211】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図22の場合と同様である。以下に説明する接地線およびソース線の配置が図26と図22とは異なる。

【0212】

メモリセルアレイ610dの外部には、スペアビット線SBL1に近接してこれと平行に接地線GL1が配置され読出用のワード線RWL1に近接してこれと平行に接地線GL3が配置されている。接地線GL1, GL3は接地電位の供給源に接続されている。

【0213】

メモリセルアレイ610dは、さらに、メモリセル行に対して斜め方向に沿って互いに平行に配置されるソース線SL1～SL5を含む。ソース線SL2はメモリセル623に接続される。ソース線SL1はメモリセル621, 624に接続される。ソース線SL4はメモリセル622, 633に接続される。ソース線SL3はメモリセル631, 634に接続される。ソース線SL5はメモリセル632に接続される。

と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0183】

メモリセルアレイ610aは、スペアメモリセル621, 623に接続されるスペアビット線SBL1と、スペアメモリセル622, 624に接続されるスペアビット線SBL2と、正規メモリセル631, 633に接続されるビット線BL1と、正規メモリセル632, 634に接続されるビット線BL2とを含む。

【0184】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図22の場合と同様である。以下に説明するソース線の配置が図23と図22とは異なる。

【0185】

メモリセルアレイ610aは、さらに、ソース線SL1～SL3を含む。ソース線SL1～SL3の各々は、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域の境界部分で隣接するソース線の延長上にシフトしている。

【0186】

すなわち、ソース線SL1は、正規メモリセルが配置される領域では、ソース線SL2のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。ソース線SL1は、正規メモリセル631, 632に接続される。

【0187】

ソース線SL2は、スペアメモリセルが配置される領域においては、スペアメモリセル621, 622に接続される。そして、ソース線SL2は、正規メモリセルが配置される領域では、ソース線SL3のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。ソース線SL2は、正規メモリセル633, 634に接続される。

【0188】

ソース線SL3は、スペアメモリセルが配置される領域においては、スペアメモリセル623, 624に接続される。そして、ソース線SL3は、正規メモリ

セルが配置される領域では、図示しないソース線SL4のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。

【0189】

このようにソース線をシフトしてずらすことにより図22に示した場合よりもソース線の交差部分をなくすることができ、ソース線を1つの配線層で形成することができる。

【0190】

このような配置とすれば、選択されたメモリセル634に流れる電流はビット線BL2からメモリセル634を通りソース線SL2に流入して接地線GL1に至る。また選択されたスペアメモリセル624に流れる電流はスペアビット線SBL2からスペアメモリセル624を通りソース線SL3を介して接地線GL1に至る。したがって、使用するソース線を別々にできるので、リードデータバスからビット線を介してソース線に至る読出電流パスをメモリセルアレイ内において分離できるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0191】

図24は、読出電流経路を分離する構成の第2の変形例を示した図である。

【0192】

図24を参照して、メモリセルアレイ610bは、図22に示したメモリセルアレイ610の構成において、ソース線SL1、SL2は入換えを行わず代わりにワード線RWL1、RWL2を途中で入換えている。この入換えは、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域の境界部分で行なわれる。

【0193】

すなわち、ワード線RWL1は、スペアメモリセルが配置される領域では、スペアメモリセル621、622に接続される。そして、ワード線RWL1は、正規メモリセルが配置される領域では、正規メモリセル633、634に接続される。

【0194】

【0214】

このように、スペアメモリセルが配置される領域と正規メモリセルが配置される領域をまたいでソース線を斜め方向に配置する。このようにソース線を設けることにより、選択された正規メモリセル634と選択されたスペアメモリセル624が同一の行に存在する場合においても、これら選択セルが使用するソース線はそれぞれソース線SL3, SL1となり別々となる。したがって、リードデータバスからビット線を経由してソース線に至る読出電流経路を分離することができ、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0215】

図27は、読出電流経路を分離する構成の第5の変形例を示した図である。

【0216】

図27を参照して、メモリセルアレイ610eは、スペアメモリセル621～624と、正規メモリセル631～634, 641～644とを含む。

【0217】

スペアメモリセル621, 622および正規メモリセル631, 632は同一の行に配置されこの行に対応してソース線SL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0218】

スペアメモリセル623, 624および正規メモリセル633, 634は同一の行に配置されこの行に対応してソース線SL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0219】

正規メモリセル641, 642は同一の行に配置されこの行に対応してソース線SL3と書込時に行選択を行なうためのディジット線DL3とが設けられる。
正規メモリセル643, 644は同一の行に配置されこの行に対応してソース線SL4と書込時に行選択を行なうためのディジット線DL4とが設けられる。

【0220】

メモリセルアレイ610eは、スペアメモリセル621, 623に接続される

スペアビット線 SBL1 と、スペアメモリセル 622, 624 に接続されるスペアビット線 SBL2 と、正規メモリセル 631, 633, 641, 643 に接続されるビット線 BL1 と、正規メモリセル 632, 634, 642, 644 に接続されるビット線 BL2 とを含む。

【0221】

図 27 では、図 26 とは異なり、ソース線の代わりにワード線がメモリセル行に対して斜めに配置される。すなわち、メモリセルアレイ 610e は、さらに、メモリセルの行に対して斜め方向に配置されるワード線 RWL1 ~ RWL5 を含む。

【0222】

ワード線 RWL1 は、スペアメモリセル 621, 624 と正規メモリセル 641, 644 に接続される。ワード線 RWL2 はスペアメモリセル 623 と正規メモリセル 643 とに接続される。ワード線 RWL3 は、正規メモリセル 631, 634 に接続される。ワード線 RWL4 は、スペアメモリセル 622 と正規メモリセル 633, 642 とに接続される。ワード線 RWL5 は正規メモリセル 632 に接続される。

【0223】

ワード線 RWL1 が活性化されビット線 BL2 およびスペアビット線 SBL2 によってコラムの選択が行なわれる場合には、正規メモリセル 644 が選択され、同時にスペアメモリセル 624 が選択される。正規メモリセル 644 に流れる読出電流は、ソース線 SL4 を経由して接地線 GL1 に流入する。またスペアメモリセル 624 を流れる読出電流はソース線 SL2 を経由して接地線 GL1 に流入する。このようにすることにより、メモリセルアレイ内のソース線を共有せずリードデータバスからビット線を経由してソース線に至る読出電流経路を分離することができ、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0224】

以上説明したように、実施の形態 3 の構成によれば、正規メモリセルからのデータとスペアメモリセルからのデータの読出を並列的に同時に行なう場合におい

また、ワード線RWL2は、スペアメモリセルが配置される領域では、スペアメモリセル623、624に接続される。そして、ワード線RWL2は、正規メモリセルが配置される領域では、正規メモリセル631、632に接続される。

【0195】

ここで、ワード線RWL2が活性化されビット線BL2およびスペアビット線SBL2が選択されて読出が行なわれる場合を考える。この場合スペアメモリセル624および正規メモリセル632が選択される。これらの選択されたセルは異なる行に存在している。ソース線はメモリセル行に対応して設けられているので、読出電流が流れる経路はソース線部分は分離される。

【0196】

リードデータバスからビット線を経由してソース線に至る読出電流経路をスペアメモリセルと正規メモリセルとで分離することができるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0197】

図25は、読出電流経路を分離する構成の第3の変形例を示した図である。

【0198】

図25を参照して、メモリセルアレイ610cは、スペアメモリセル621～624と、正規メモリセル631～634とを含む。

【0199】

スペアメモリセル621、622および正規メモリセル631、632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0200】

スペアメモリセル623、624および正規メモリセル633、634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0201】

メモリセルアレイ610cは、スペアメモリセル621、623に接続されるスペアビット線SBL1と、スペアメモリセル622、624に接続されるスベ

て、並列アクセスされる複数の読出電流経路が分離されるので、ソース線の電気抵抗によりアクセスタイムを損なうことがなくなる。

【0 2 2 5】

なお、以上の実施の形態においては、スペアメモリセルと正規メモリセルとに対して同時にアクセスを行なう場合について主に説明したが、複数の正規メモリセルに対して同時にアクセスを行なう場合にもそのまま適用が可能である。具体的には、図 1 3 に示したような 1 つの選択信号によって複数の正規のビット線対が選択されるような場合においても実施の形態 2 ～実施の形態 3 の構成を適用することができる。

【0 2 2 6】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 2 2 7】

【発明の効果】

請求項 1 ～ 3 に記載の記憶装置は、複数の読出データバスの寄生容量のアンバランスを最小にして読出マージンやアクセスタイムを向上することができる。

【0 2 2 8】

請求項 4 に記載の記憶装置は、請求項 1 に記載の記憶装置の奏する効果に加えて、正規メモリセルとスペアメモリセルの同時読出を行なう場合に、複数の読出データバスの寄生容量のアンバランスを最小にすることができる。

【0 2 2 9】

請求項 5 に記載の記憶装置は、請求項 1 に記載の記憶装置の奏する効果に加えて、メモリセルが抵抗値の変化によってデータを記憶するものである場合に、複数の読出データバスの寄生容量のアンバランスを最小にすることができる。

【0 2 3 0】

請求項 6 に記載の記憶装置は、請求項 1 に記載の記憶装置の奏する効果に加えて、メモリセルが磁性体の記憶素子を含むものである場合に、複数の読出データ

アビット線SBL2と、正規メモリセル631, 633に接続されるビット線BL1と、正規メモリセル632, 634に接続されるビット線BL2とを含む。

【0202】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図22の場合と同様である。以下に説明するソース線の配置が図25と図22とは異なる。

【0203】

メモリセルアレイ610cは、さらに、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域との境界部分に設けられる接地線GL2を含む。これによりメモリセルの第1行目に対応するソース線はソース線SL1aとソース線SL1bとに分離されている。同様にメモリセルの第2行に対応するソース線はソース線SL2aとソース線SL2bとに分離されている。

【0204】

ワード線RWL2およびビット線SBL、BL2によってスペアメモリセル624および正規メモリセル634のデータが同時に読出される場合を考える。正規メモリセル634に流れる電流はソース線SL2aを介して接地線GL2に流入するので、スペアメモリセル624の読出電流が流れるソース線SL2bに与える影響を低減することができる。

【0205】

このように、スペアメモリセルが配置される領域と正規メモリセルが配置される領域の境界部分でソース線の電位を固定することによってリードデータバスからビット線を介してソース線に至る読出電流経路を分離できるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0206】

図26は、読出電流経路を分離する構成の第4の変形例を示した図である。

【0207】

図26を参照して、メモリセルアレイ610dは、スペアメモリセル621～624と、正規メモリセル631～634とを含む。

バスの寄生容量のアンバランスを最小にすることができる。

【0231】

請求項7～9に記載の記憶装置は、複数ビットのデータを同時に読出す場合において読出電流経路の電気抵抗のばらつきを最小にして読出マージンやアクセスタイムを向上することができる。

【0232】

請求項10に記載の記憶装置は、請求項7に記載の記憶装置の奏する効果に加えて、参照電流経路の電気抵抗のばらつきを最小にすることができる。

【0233】

請求項11に記載の記憶装置は、正規メモリセルの読出電流経路とスเปアメモリセルの読出電流経路の電気抵抗の差を小さく抑えることができ、読出マージンやアクセスタイムを向上することができる。

【0234】

請求項12に記載の記憶装置は、正規メモリセルの読出電流経路とダミーメモリセルの参照電流経路の電気抵抗の差を小さく抑えることができ、読出マージンやアクセスタイムを向上することができる。

【0235】

請求項13～15に記載の記憶装置は、複数の読出電流経路をメモリセルアレイ内で分離するため、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【0236】

請求項16に記載の記憶装置は、請求項15に記載の記憶装置の奏する効果に加えて、ソース線の一部で入替えることによって、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【0237】

請求項17に記載の記憶装置は、請求項15に記載の記憶装置の奏する効果に加えて、選択線の一部で入替えることによって、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【0238】

請求項 1 8 に記載の記憶装置は、請求項 1 5 に記載の記憶装置の奏する効果に加えて、ソース線をメモリセル行に対して斜めに配置することによって、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【 0 2 3 9 】

請求項 1 9 に記載の記憶装置は、請求項 1 5 に記載の記憶装置の奏する効果に加えて、選択線をメモリセル行に対して斜めに配置することによって、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の M R A M デバイス 1 の全体構成を示す概略ブロック図である。

【図 2】 図 1 におけるメモリセルアレイ 1 0 の構成と読出／書込回路 9 の読出に関する構成とを示した回路図である。

【図 3】 図 2 におけるメモリセル 3 1 の構成を示した回路図である。

【図 4】 図 3 に示したメモリセルの構造の第 1 例を示す断面図である。

【図 5】 図 3 に示したメモリセルの構造の第 2 例を示す断面図である。

【図 6】 図 3 に示したメモリセルの構造の第 3 例を示す断面図である。

【図 7】 図 2 におけるセンスアンプ 8 3 および接続ゲート 8 1, 8 2 の構成例を示した回路図である。

【図 8】 図 2 に示したメモリセルアレイ 1 0 および読出／書込回路 9 の制御信号を説明するための図である。

【図 9】 図 2 に示した読出／書込回路 9 の変形例である読出／書込回路 9 a をメモリセルアレイ 1 0 に適用した変形例である。

【図 1 0】 メモリセルアレイ 1 0 の第 1 の変形例であるメモリセルアレイ 1 0 a の構成を示した回路図である。

【図 1 1】 メモリセルアレイの第 2 の変形例であるメモリセルアレイ 1 0 b の構成を示す回路図である。

【図 1 2】 メモリセルアレイの第 3 の変形例であるメモリセルアレイ 1 0

cの構成を説明するための回路図である。

【図 1 3】 メモリセルアレイの変形例であるメモリセルアレイ 1 0 dとそれに対応する読出／書込回路 9 dの構成を示した回路図である。

【図 1 4】 図 1 3 に示した構成の制御信号のデコード関係を示す図である。

【図 1 5】 図 1 3 における読出／書込回路 9 d の変形例である読出／書込回路 9 e の構成を示した回路図である。

【図 1 6】 実施の形態 2 において用いられるメモリセルアレイ 3 1 0 の構成を示した回路図である。

【図 1 7】 図 1 6 に示した構成において並列読出が行なわれる場合の読出電流が流れる経路を説明するための図である。

【図 1 8】 図 1 6 に示した電源線の第 1 の変形例を示した図である。

【図 1 9】 図 1 6 に示した電源線の第 2 の変形例を示した図である。

【図 2 0】 図 1 8 に示した構成においてメモリセルアレイをさらに変形した変形例である。

【図 2 1】 他の変形例であるメモリセルアレイ 5 1 0 の説明をするための図である。

【図 2 2】 読出電流経路を分離する実施の形態 3 において用いられるメモリセルアレイ 6 1 0 の構成を示した回路図である。

【図 2 3】 読出電流経路を分離する構成の第 2 の変形例を示した図である。

【図 2 4】 読出電流経路を分離する構成の第 2 の変形例を示した図である。

【図 2 5】 読出電流経路を分離する構成の第 3 の変形例を示した図である。

【図 2 6】 読出電流経路を分離する構成の第 4 の変形例を示した図である。

【図 2 7】 読出電流経路を分離する構成の第 5 の変形例を示した図である。

【図28】 従来の、磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図29】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図30】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図31】 MTJメモリセルに対するデータ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【符号の説明】

1 MRAMデバイス、2 アドレス端子、3 a, 3 b 信号端子、4 データ端子、5 コントロール回路、6 冗長制御回路、7 デコード回路、8 選択線ドライブ回路、9, 9 a~9 e 読出/書込回路、10, 10 a~10 d, 310, 410, 510, 610, 610 a~610 e メモリセルアレイ、11 プログラム回路、21~24, 21 a, 22 a, 21 c, 22 c, 421~424, 621~624 スペアメモリセル、31~38, 431~438, 631~634, 643~644 正規メモリセル、41~44, 41 a, 42 a, 41 c, 42 c スペアダミーメモリセル、51~58 ダミーメモリセル、60 冗長制御回路、61, 62, 61 a, 62 a, 61 b~66 b, 61 c, 62 c, 61 d, 62 d, 71~74, 71 d, 72 d コラム選択ゲート、81, 81 b~81 e, 82, 82 b, 82 c, 203, 204 接続ゲート、83, 83 b~83 e, 201, 202 センスアンプ、90 半導体基板、91, 92 n型不純物領域、93, 94, 96, 98 プラグ、95, 97, 99 導電層、100 強磁性体層、101 トンネルバリア、103~106, 173, 174 トランジスタ、175 センス電流供給部、171 a, 171 b 定電流供給回路、176, 177 抵抗、ATR アクセストランジスタ、GL1~GL3 接地線、GDB, /GDB, GDB1, /GDB1, GDB2, /GDB2 グローバルデータバス、SBL, /SBL, SBL1, SBL2, /SBL1, /SBL2 スペアビット線、SL1~SL5, SLj, SLj+1, SLk, SL1 a, SL1 b, SL2 a, SL2 b ソース線、DSL1,

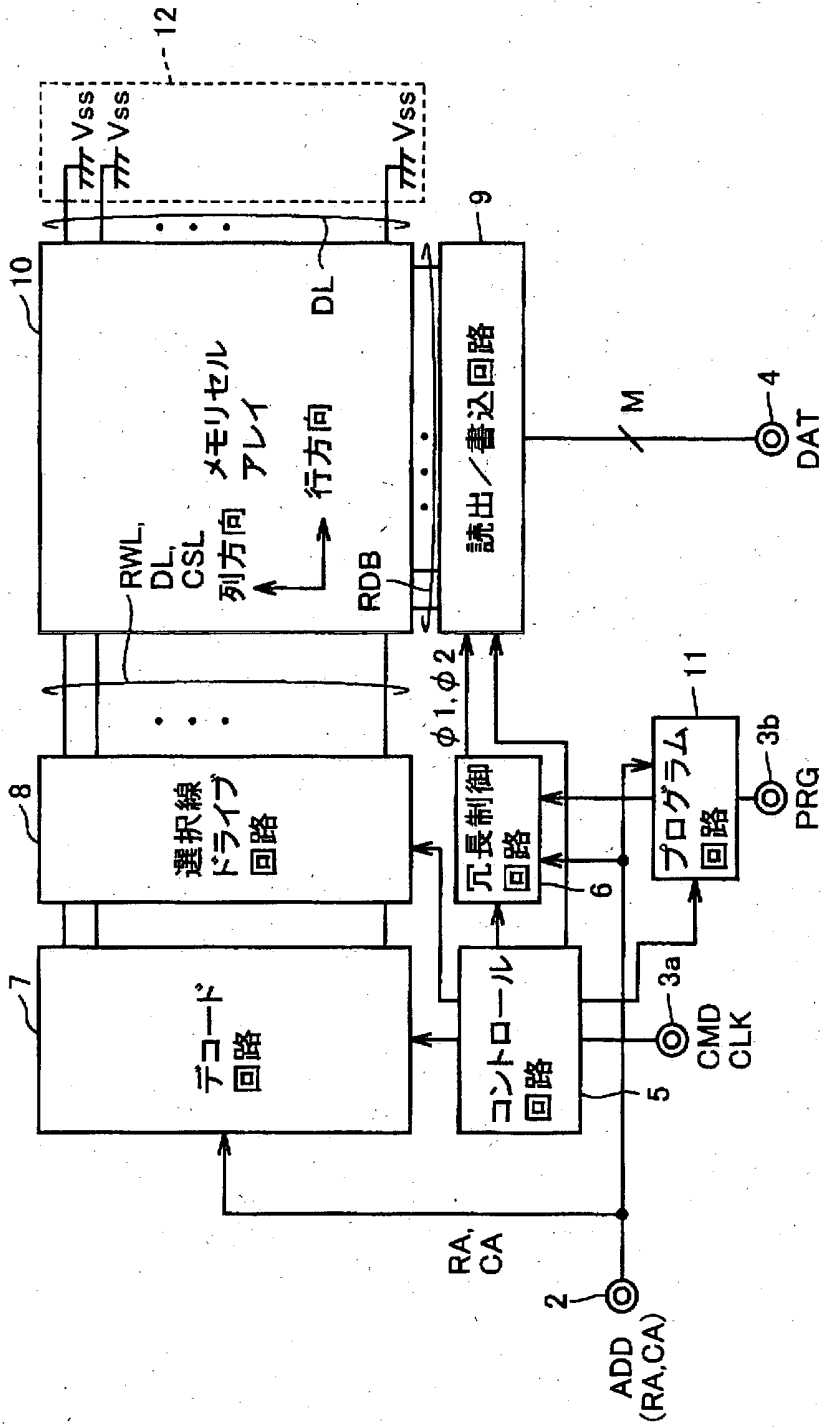
DSL0 ダミーソース線、DWL1, DWL0 ダミーワード線、DL, DL1~DL4, DLj, DLj+1 デジット線、TB トンネルバリア、TMR トンネル磁気抵抗素子、BL, BL1~BLn, /BL1~/BLn ビット線、WWL ライトワード線、FAMP リードアンプ、RDB リードデータバス、RDB1~RDB4, /RDB1~/RDB4 リードデータバス、RWL, WLj, WLj+1, RWL1~RWL5 ワード線、FL 固定磁化層、VL 自由磁化層。

【書類名】

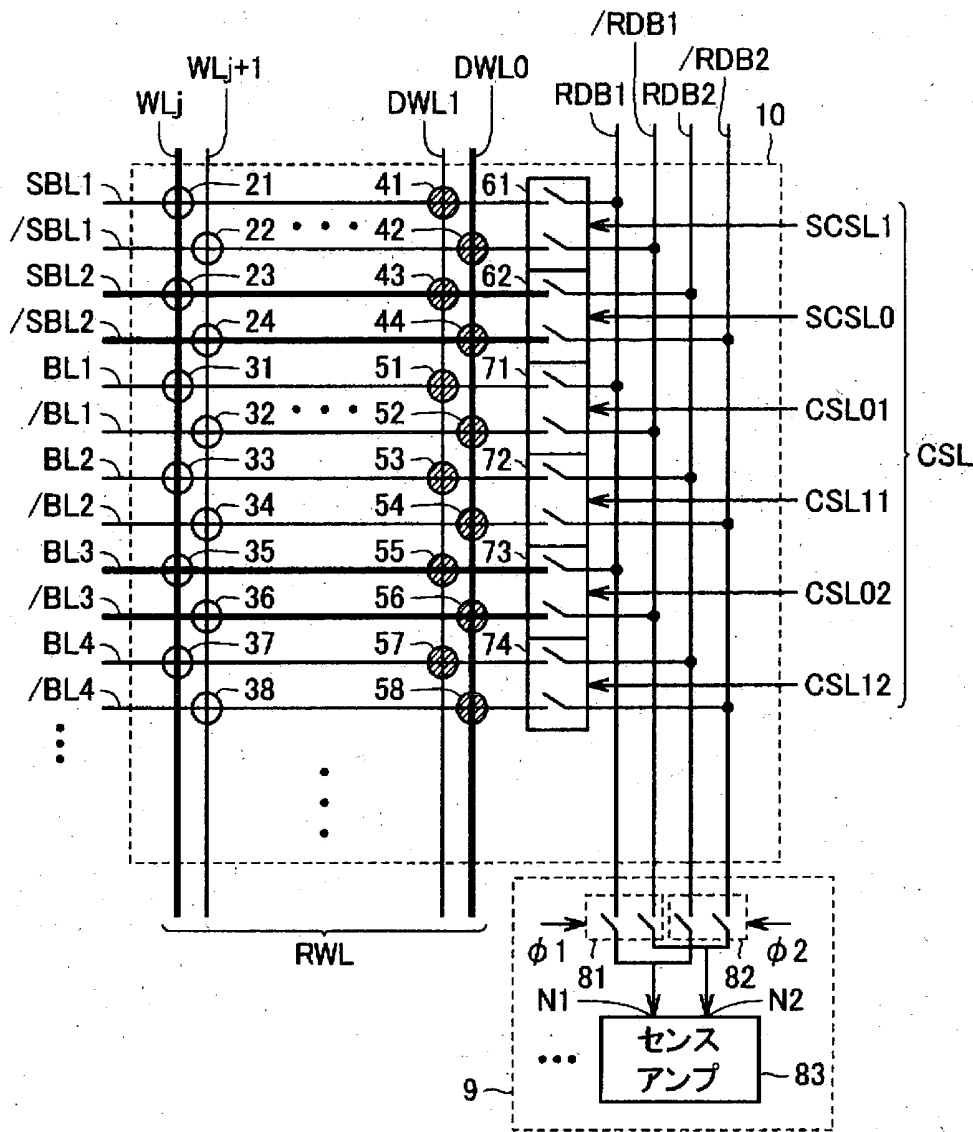
図面

【図 1】

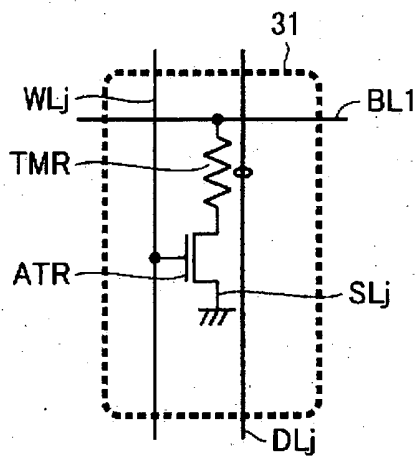
1



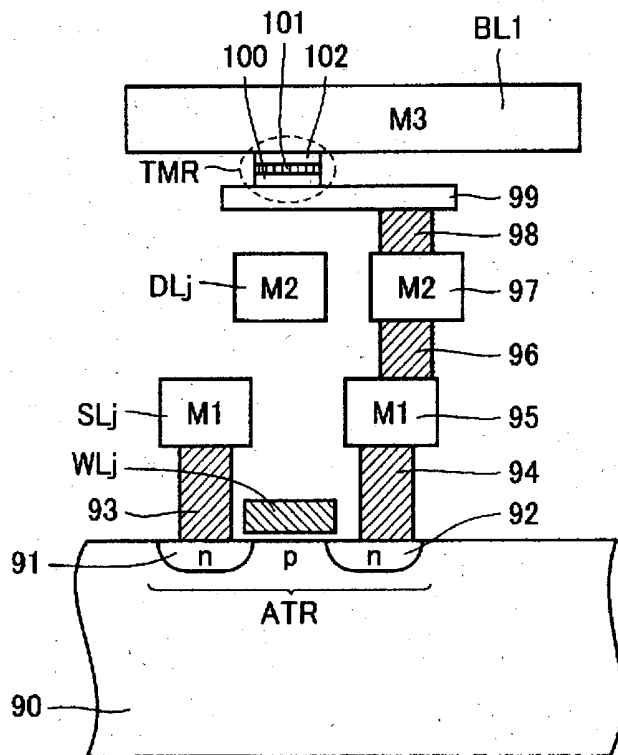
【図2】



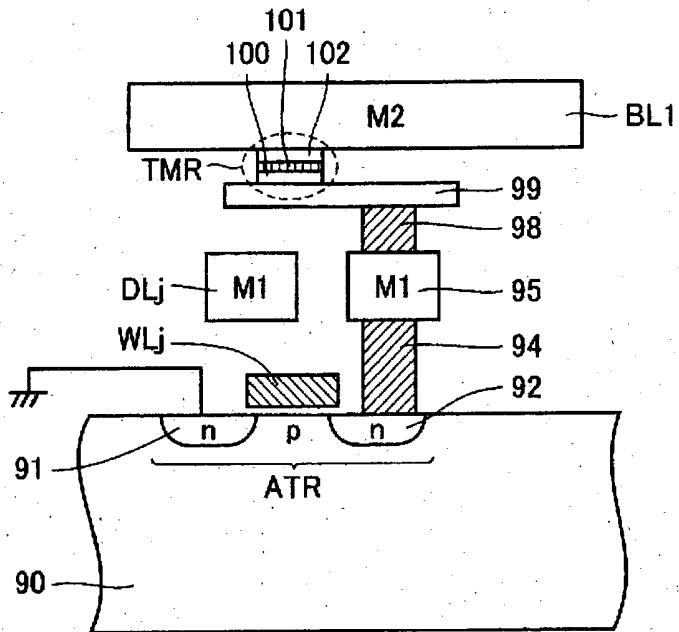
【図 3】



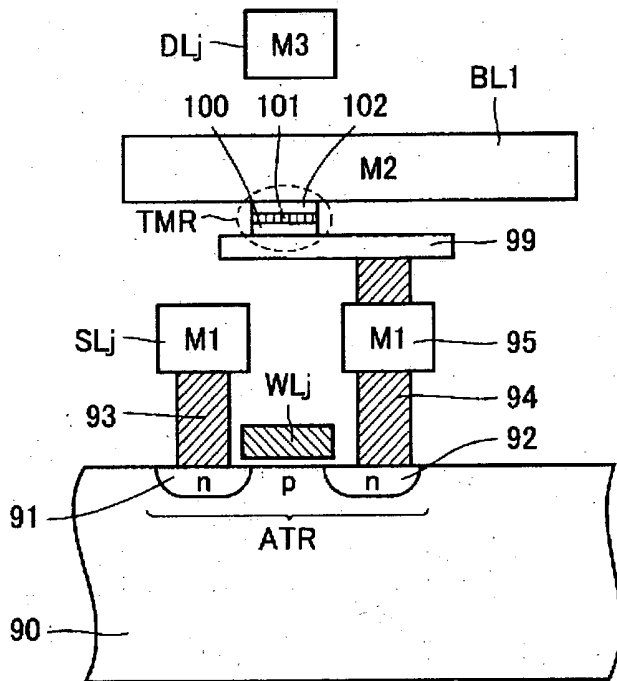
【図 4】



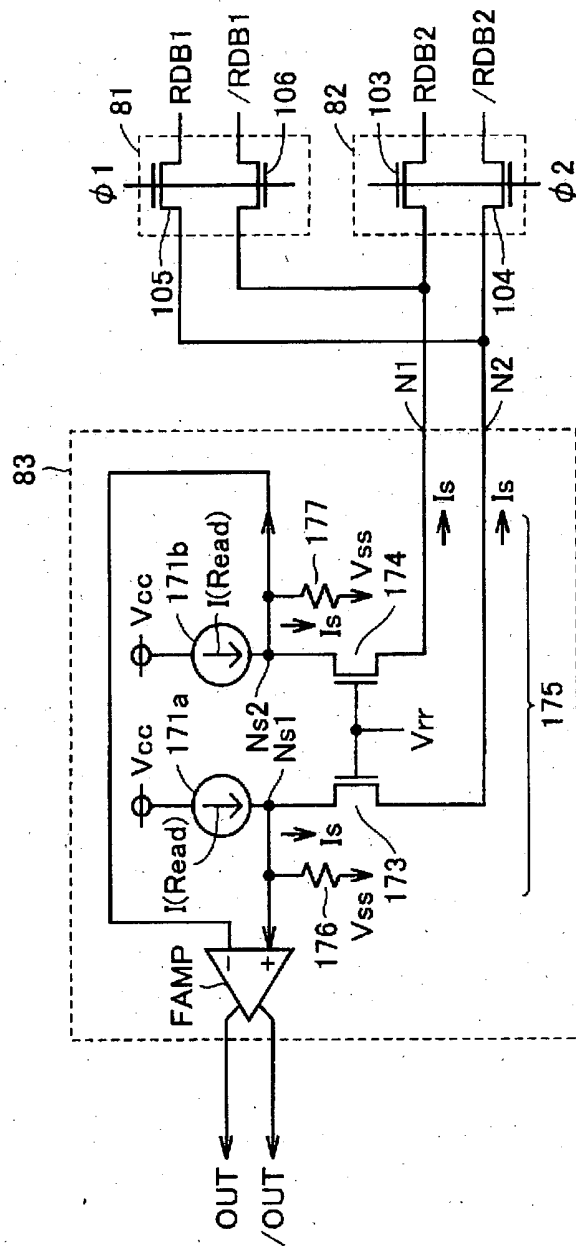
【図 5】



【図 6】



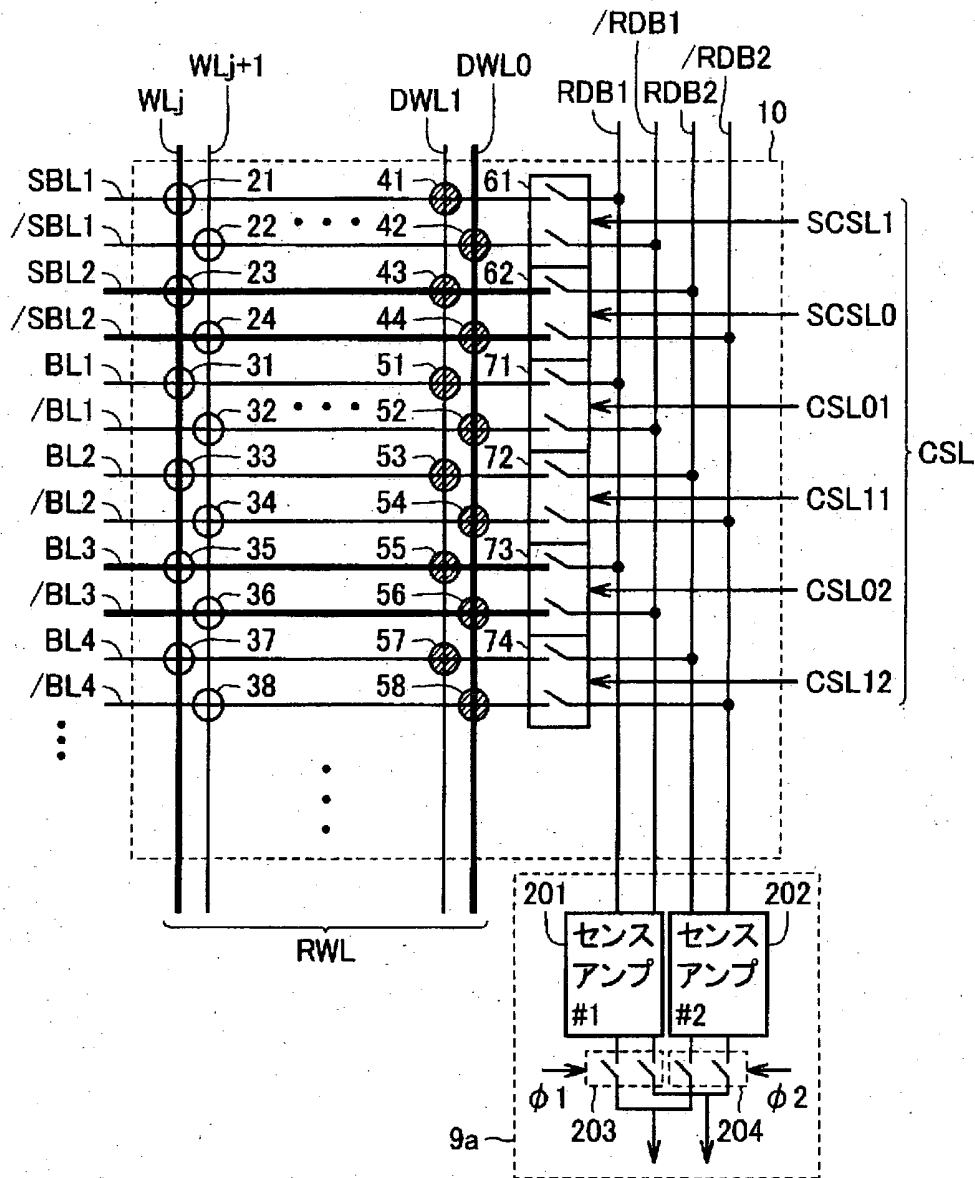
【图 7】



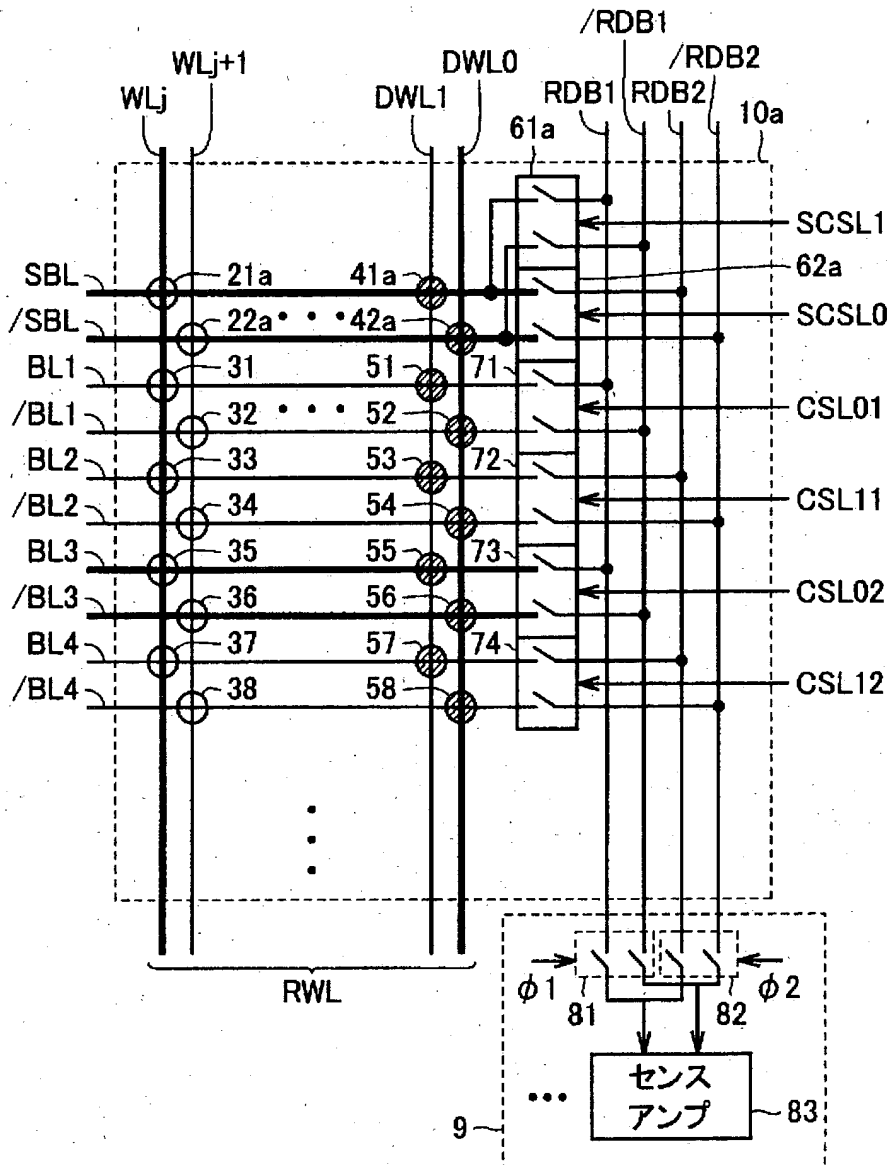
【図8】

選択コラム	使用データバス	選択スペアコラム	使用データバス	スペア/ノーマル
CSL01 CSL02	RDB1, /RDB1	SCSL0	RDB2, /RDB2	φ1:ノーマル選択 φ2:スペア選択
CSL11 CSL12	RDB2, /RDB2	SCSL1	RDB1, /RDB1	φ1:スペア選択 φ2:ノーマル選択

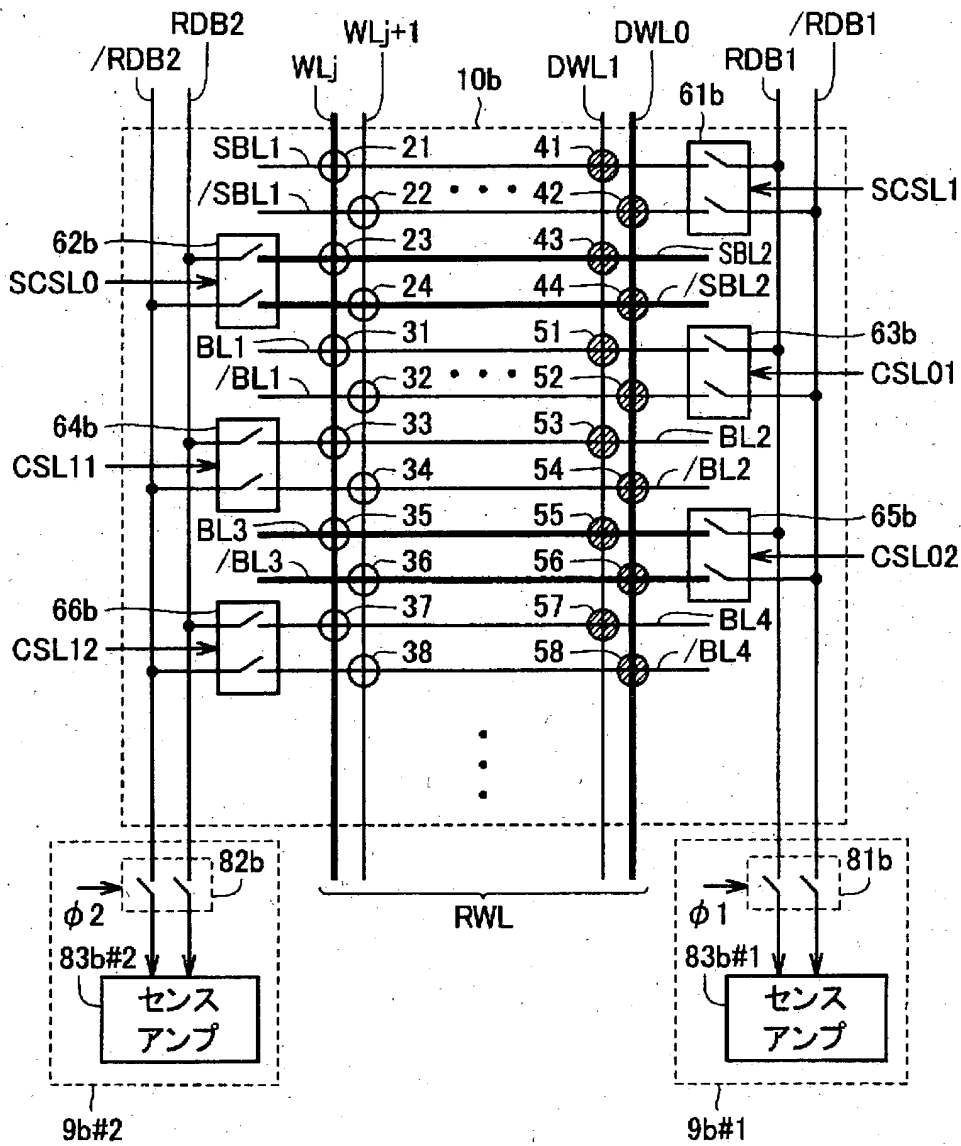
【図9】



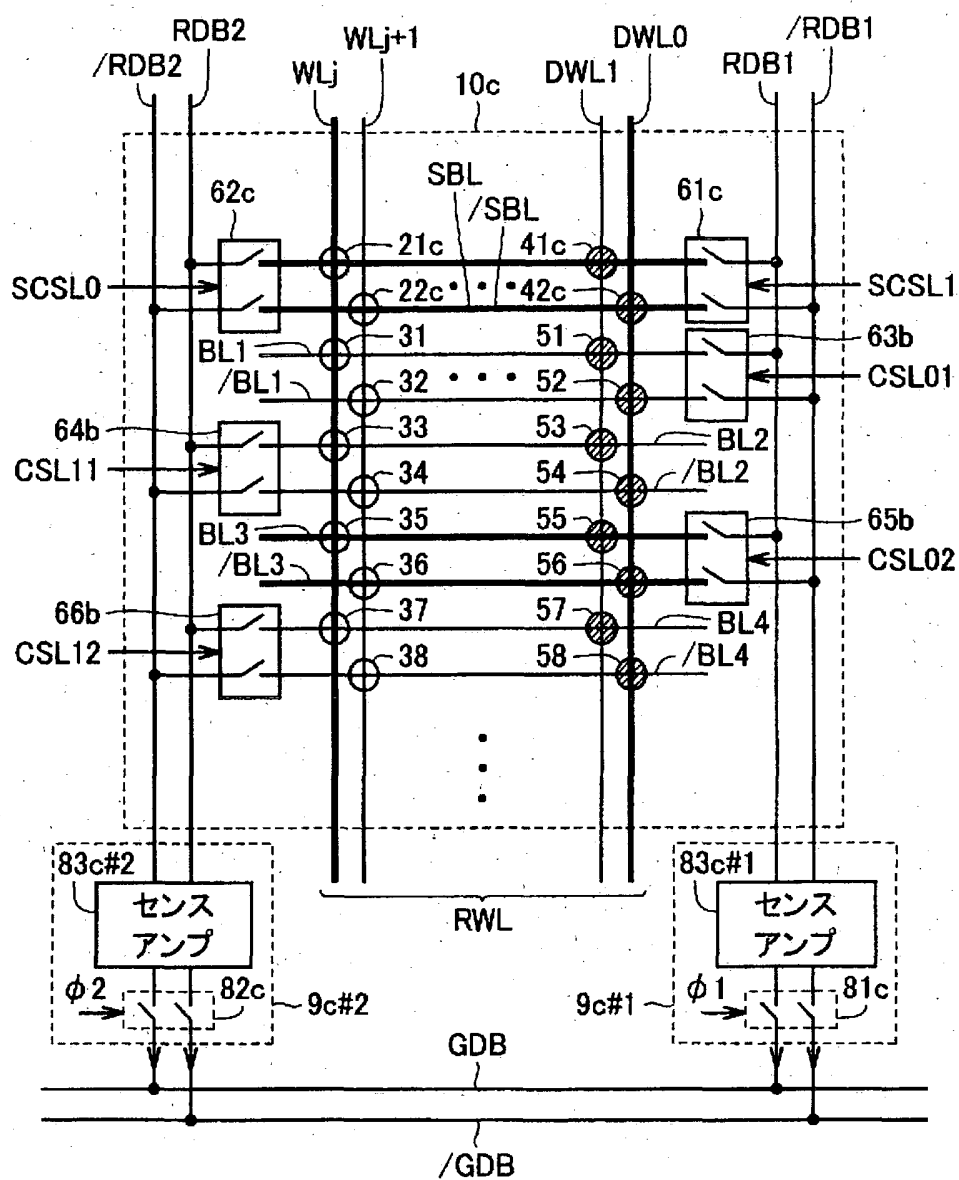
【図 1・0】



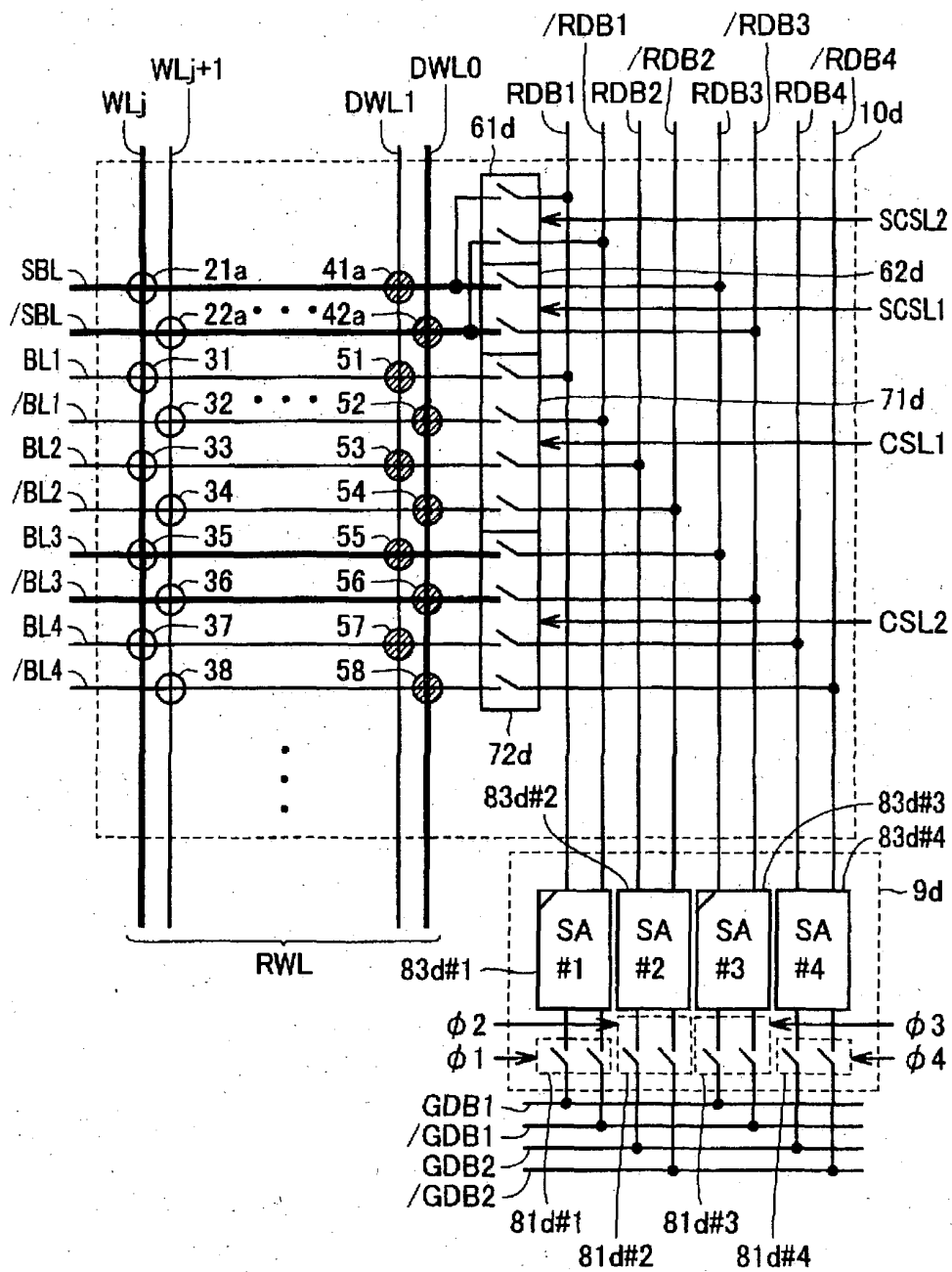
【図11】



【図12】



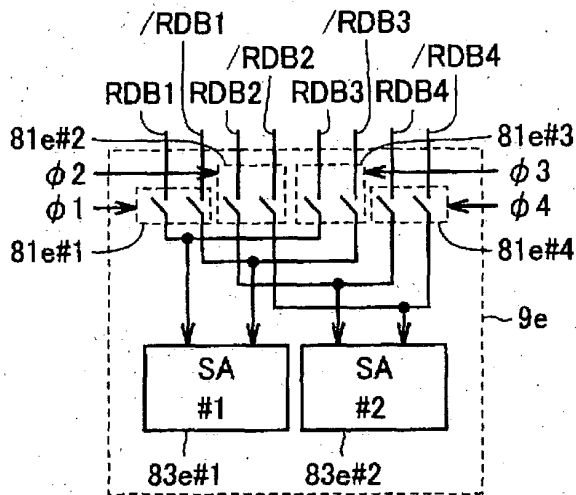
【图 1-3】



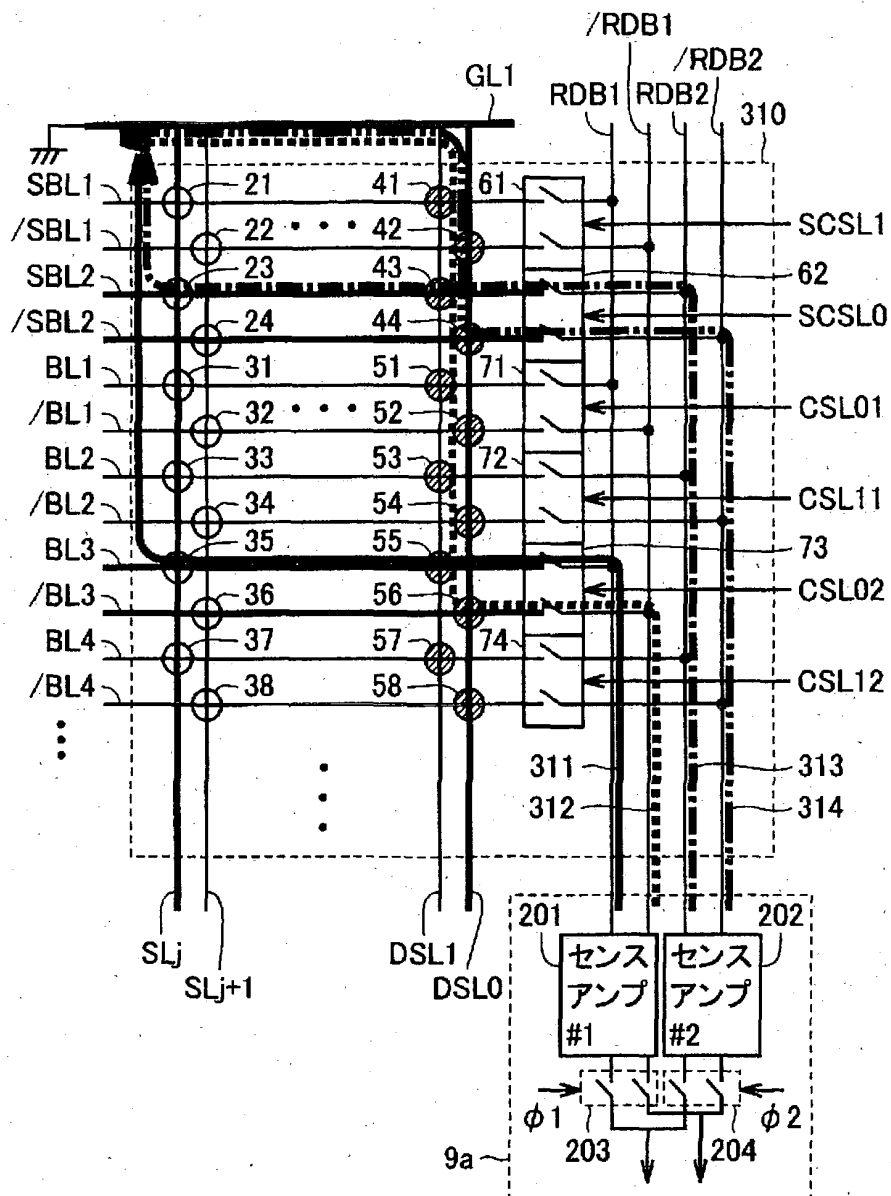
【図14】

選択コラム	使用データベース	選択スぺアコラム	使用データベース	スぺア／ノーマル
CSL1	RDB1./RDB1 RDB2./RDB2	SCSL1	RDB3./RDB3	$\phi 1 + \phi 2$:ノーマル $\phi 3 + \phi 2$:スぺア
CSL2	RDB3./RDB3 RDB4./RDB4	SCSL2	RDB1./RDB1	$\phi 3 + \phi 4$:ノーマル $\phi 1 + \phi 4$:スぺア

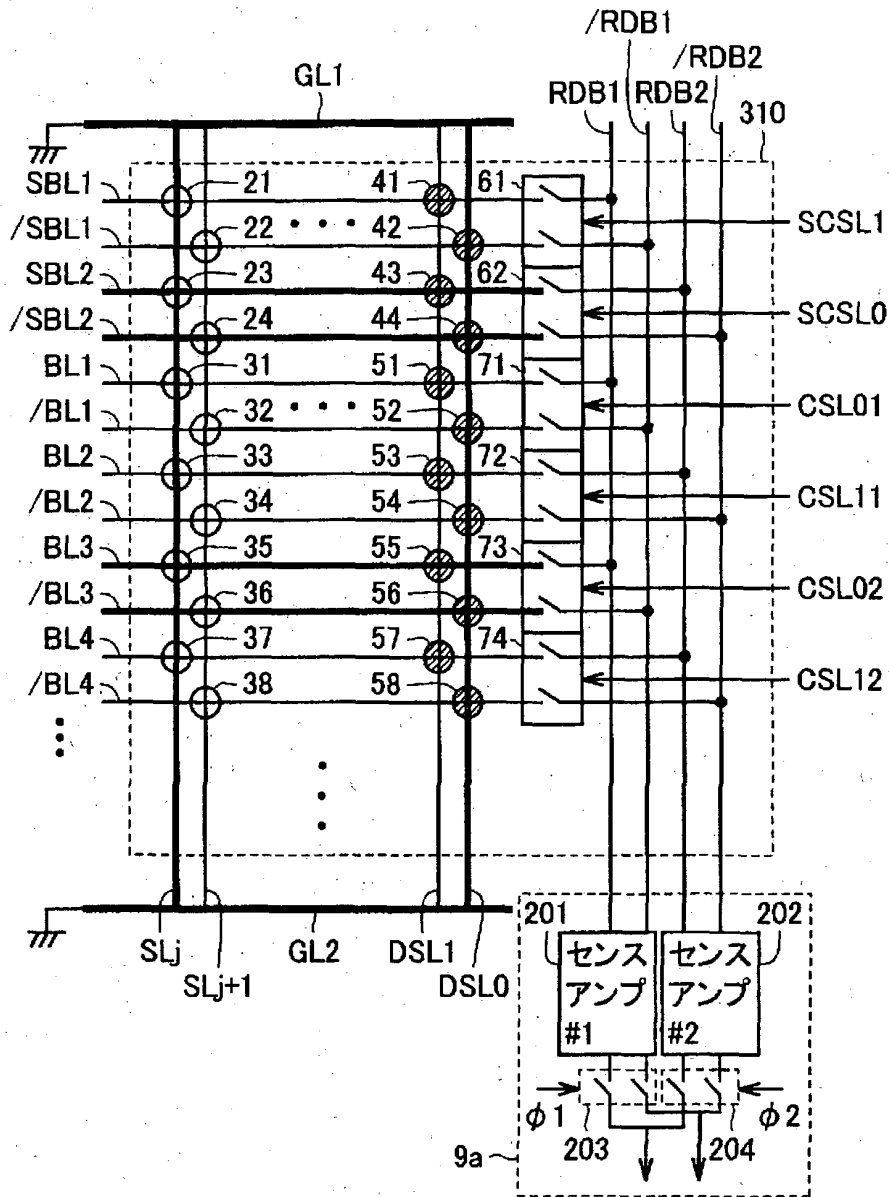
【図 15】



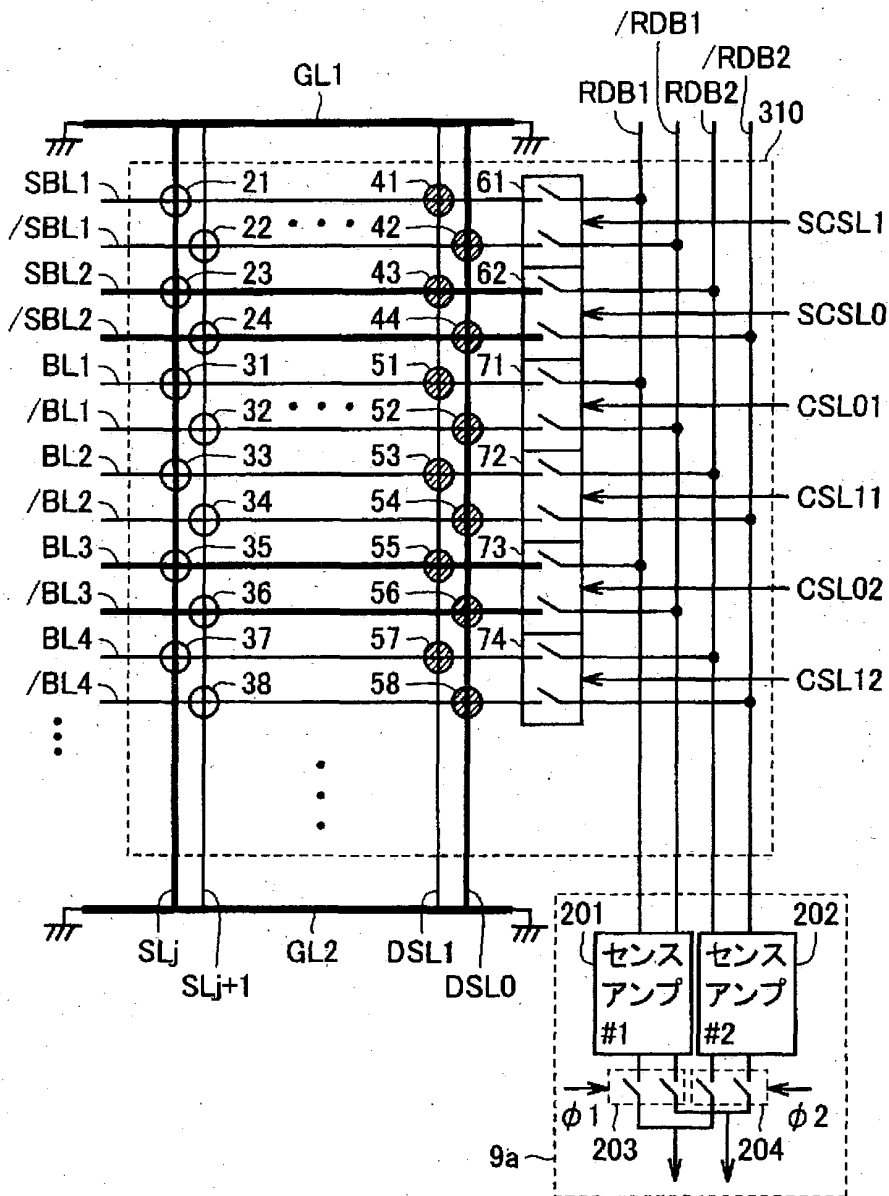
【图 1-7】



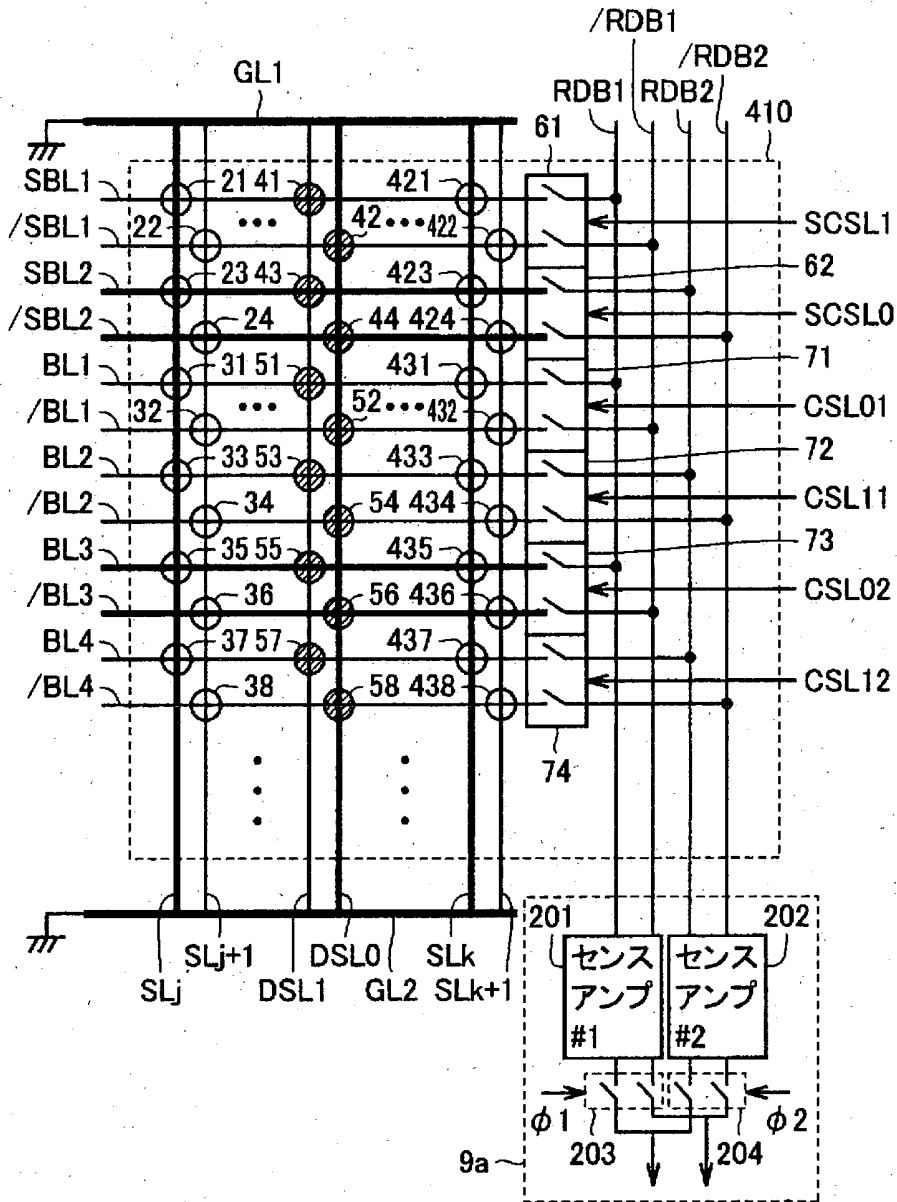
【図18】



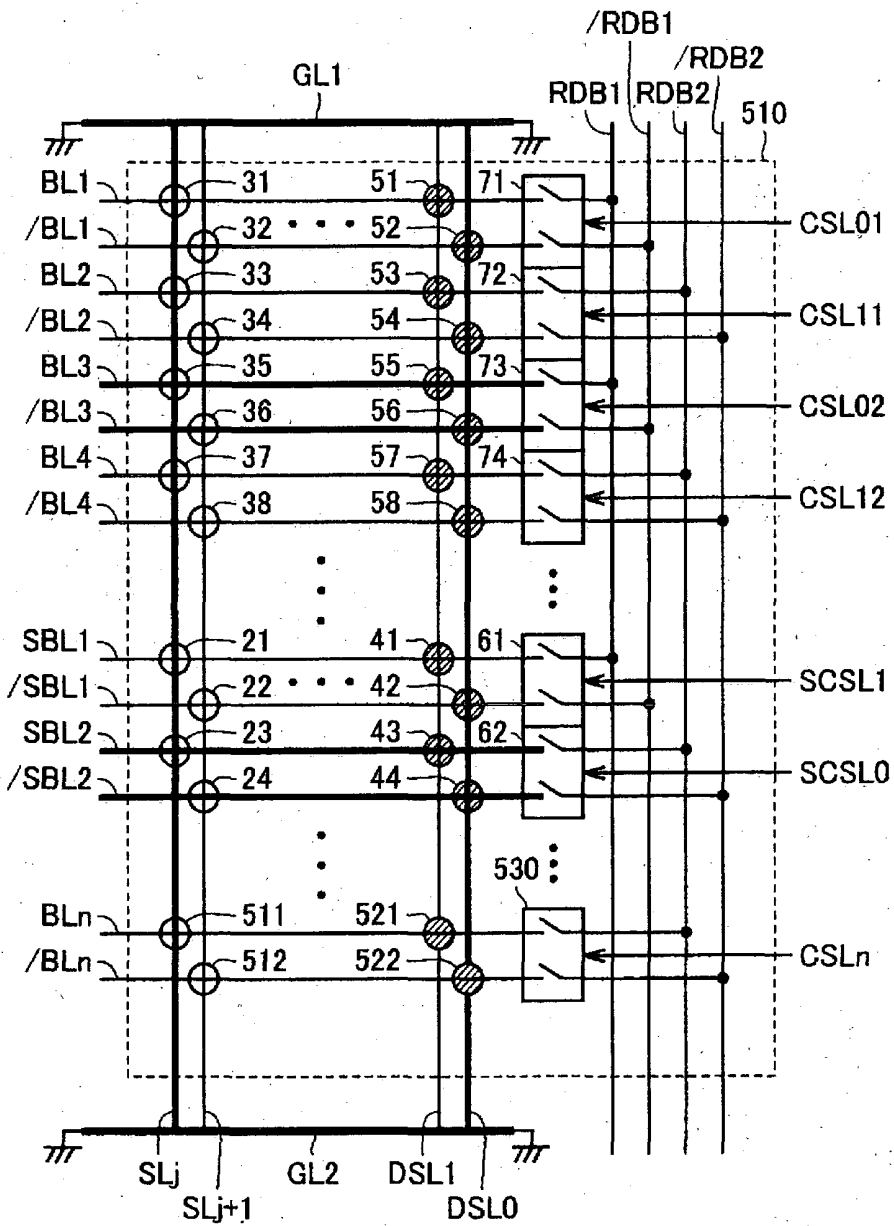
【図19】



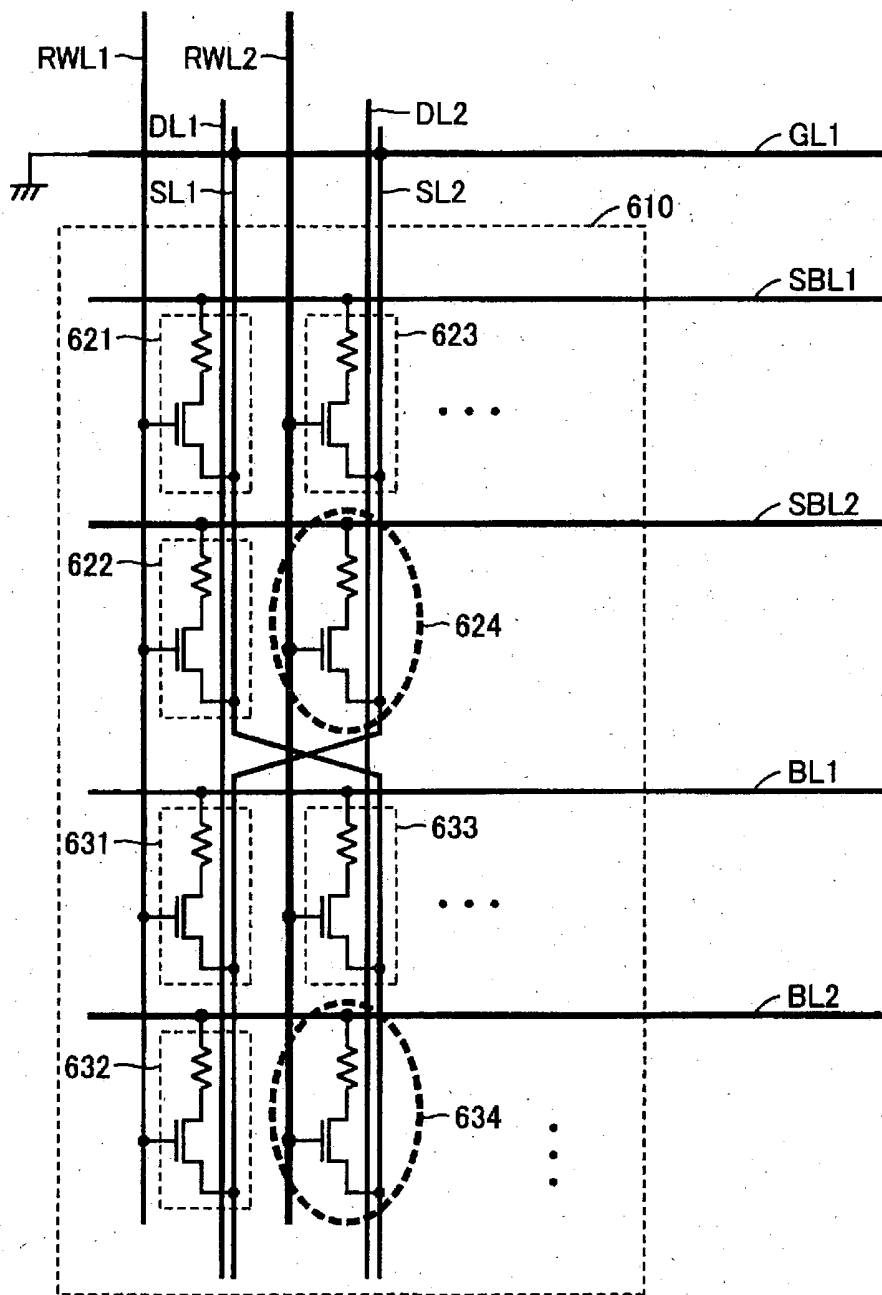
【図20】



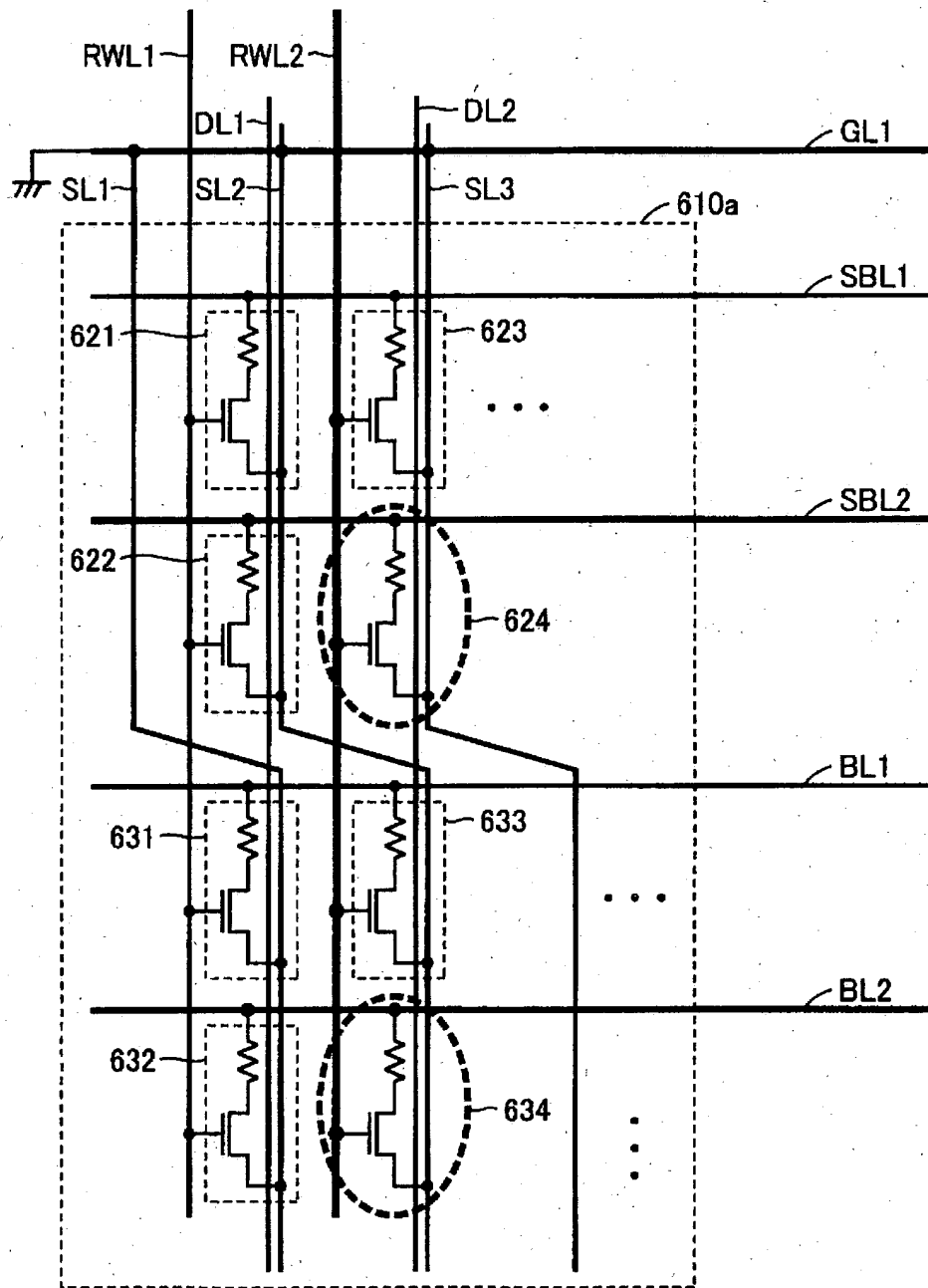
【図 21】



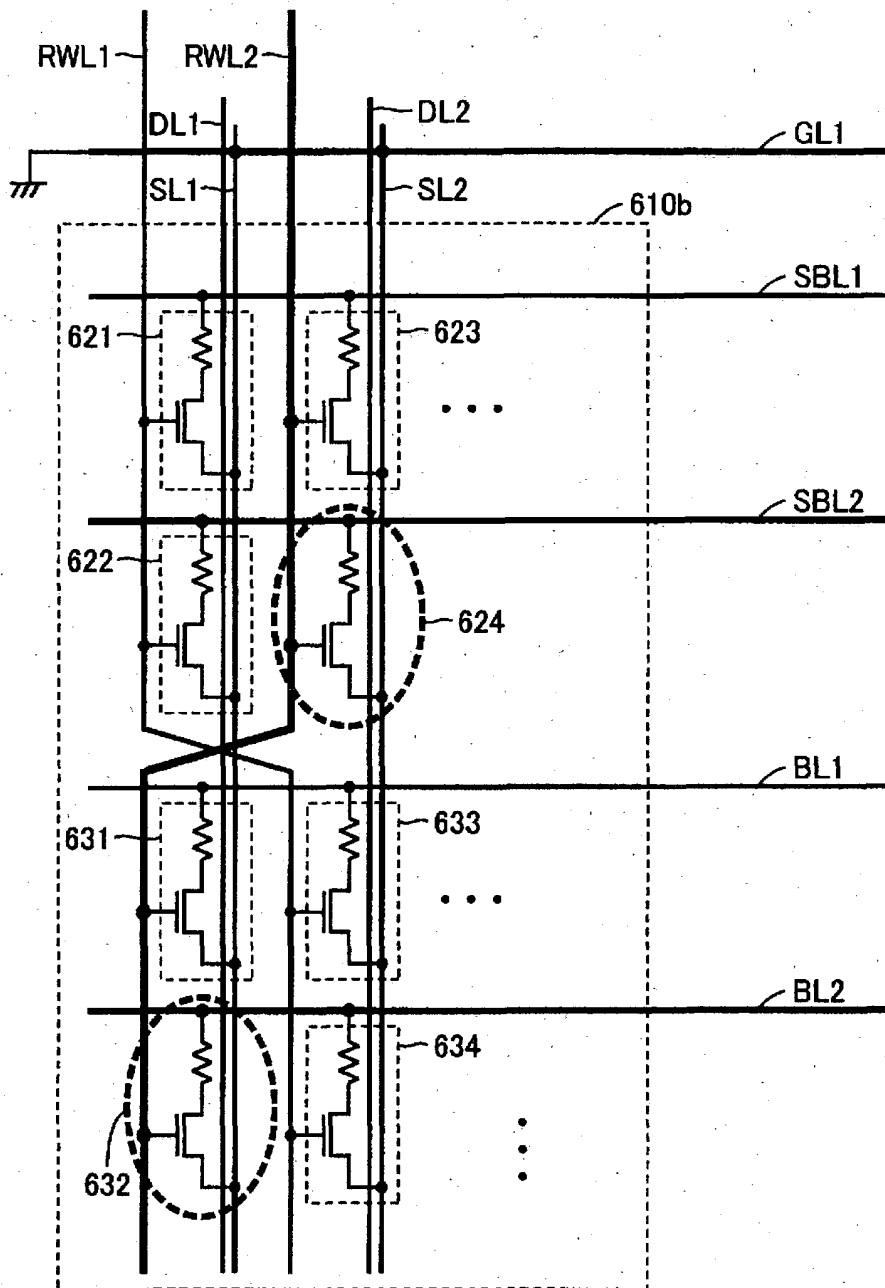
【図 22】



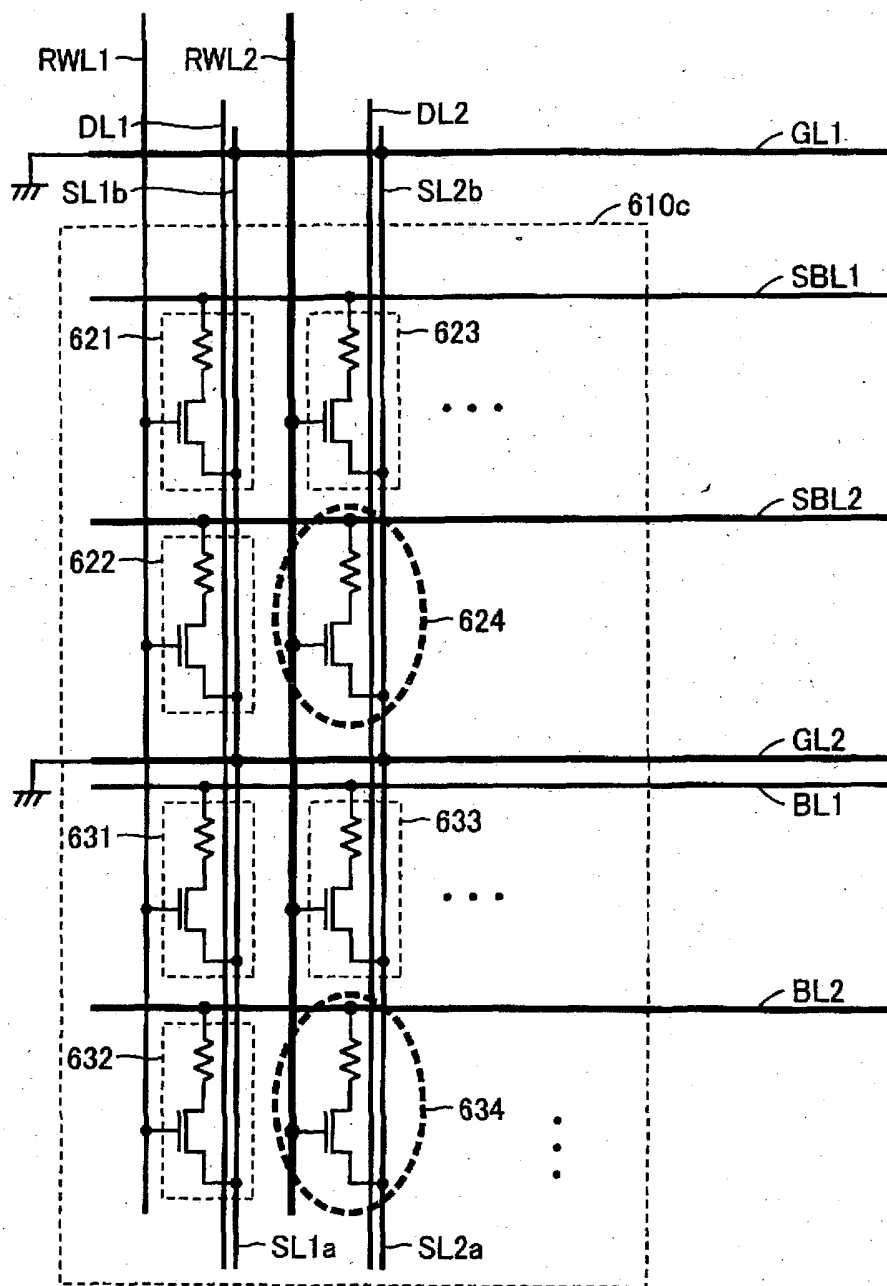
【図 23】



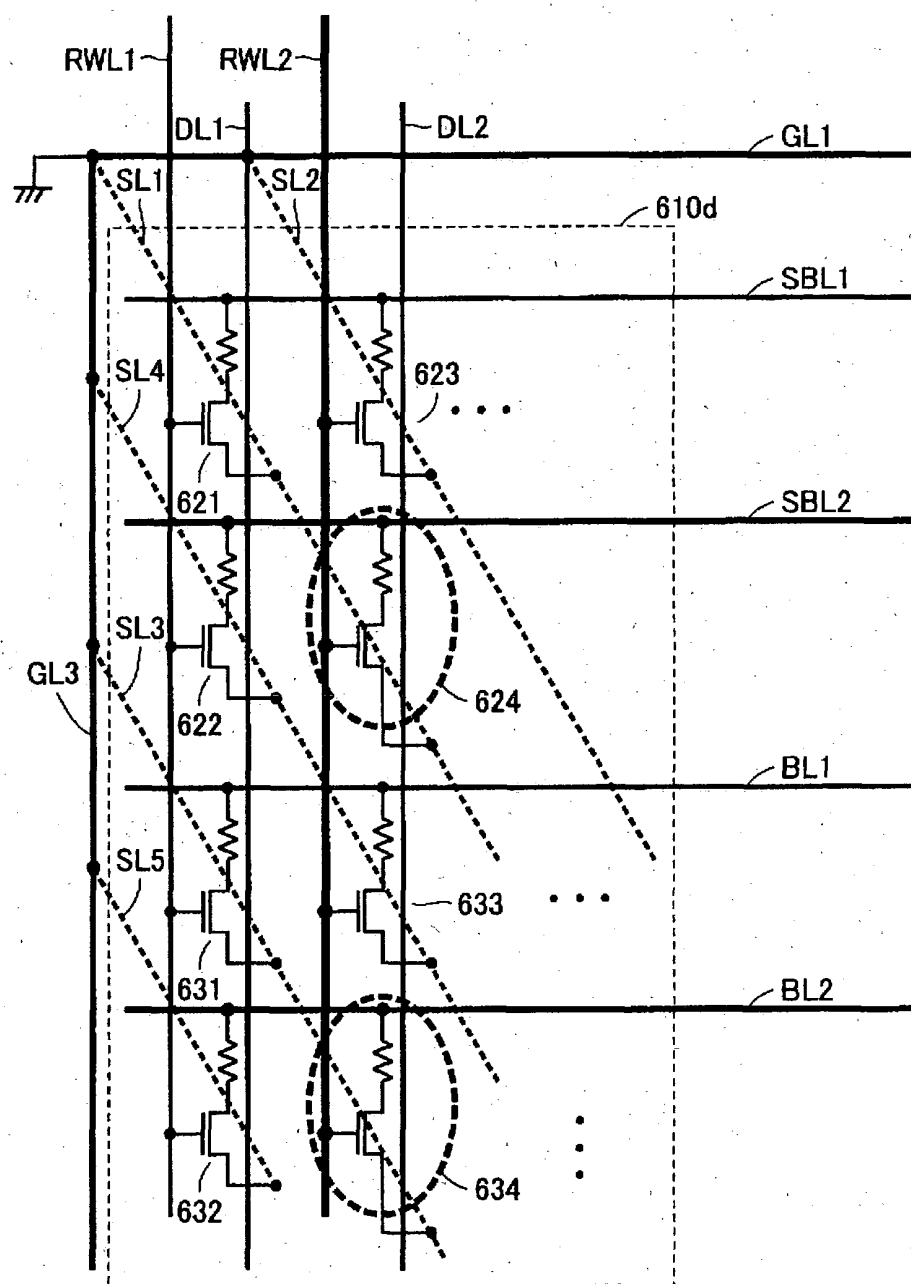
【図 24】



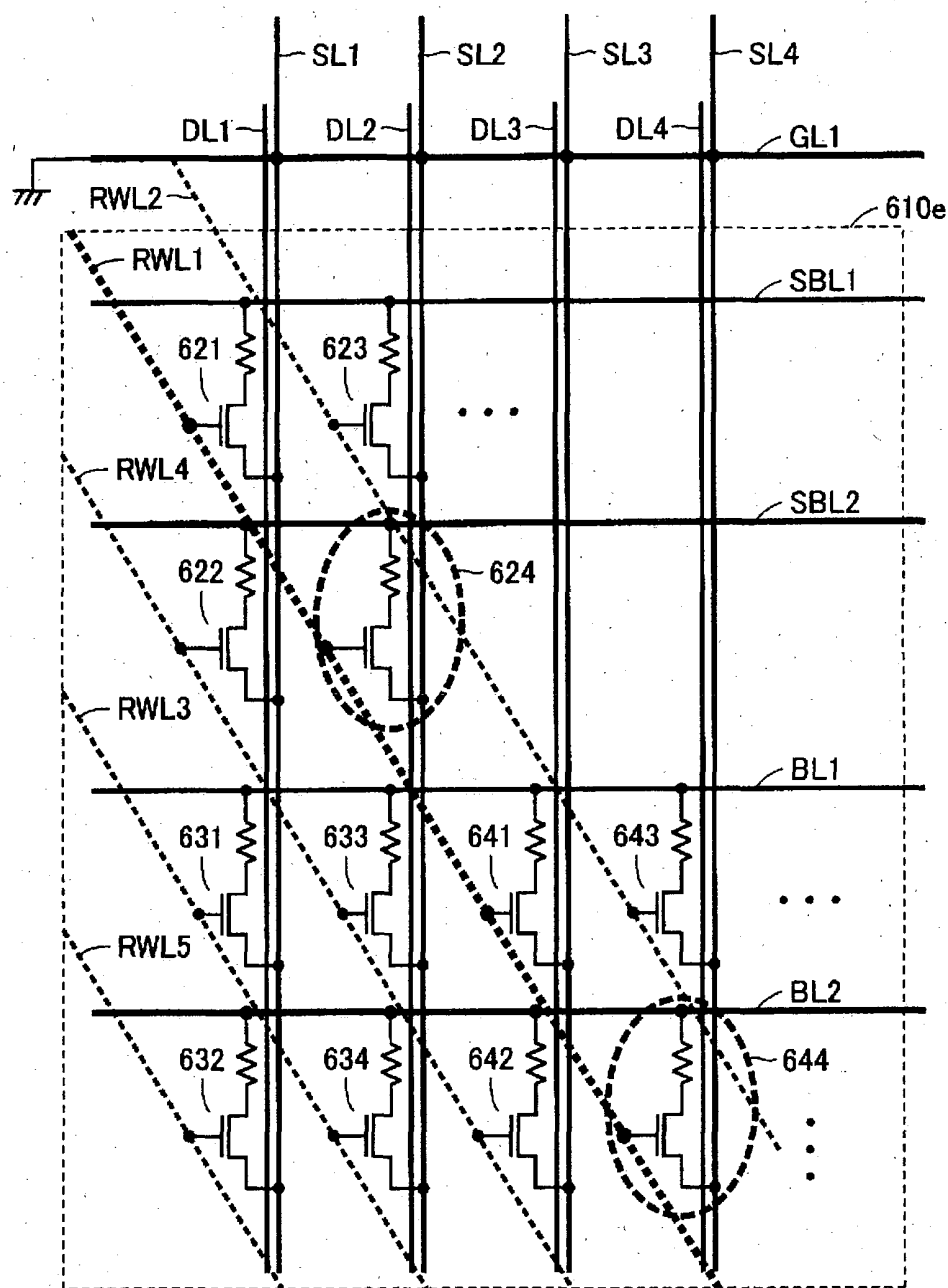
【図 25】



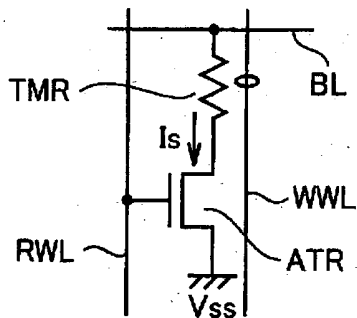
【图 2 6】



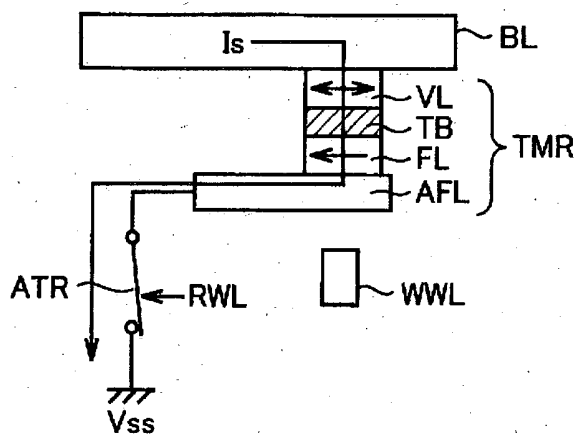
【図27】



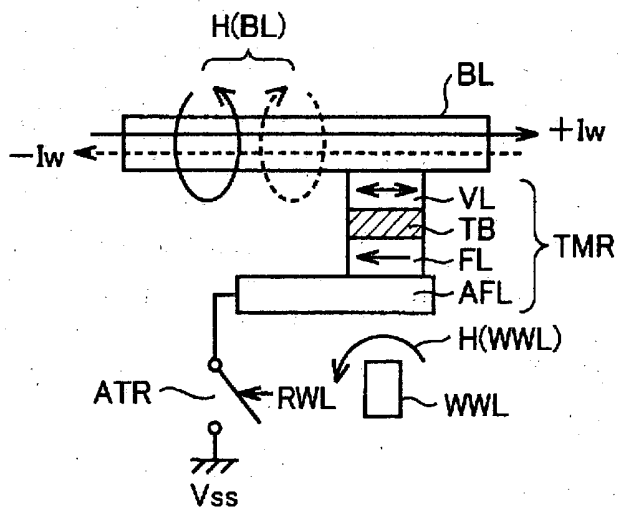
【図 28】



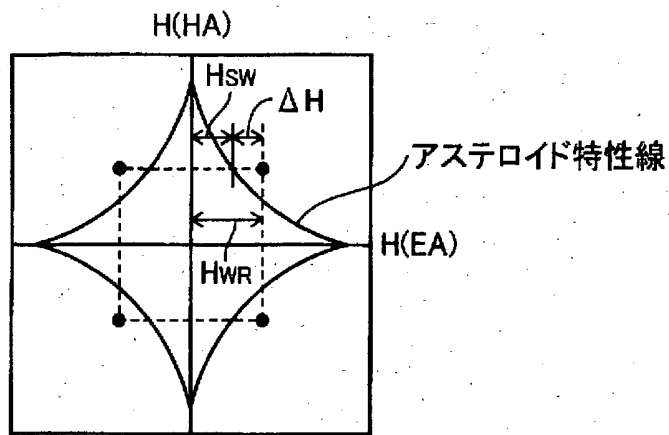
【図 29】



【図 30】



【図31】



【書類名】 要約書

【要約】

【課題】 冗長置換を実現しつつ高速に読出が可能な記憶装置を提供する。

【解決手段】 正規のビット線BL3、／BL3の選択が行なわれる場合に同時にスペアビット線SBL2、／SBL2の選択を同時に行ない、これらが異なる読出データバス対に接続されるようにコラム選択ゲートを配置する。コラム選択ゲートは、リードデータバスの負荷容量に大きな差が生じないように分散して配置される。冗長判定結果は、センスアンプ83の直前の制御信号φ1、φ2の活性化により読出データに反映される。なお、センスアンプを2つ設けて、この出力のいずれかを選択するように制御信号φ1、φ2を用いてもよい。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社